

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-156261

(43)Date of publication of application : 08.06.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/8238
H01L 27/092
H03K 5/135
H03K 19/094
H03M 1/66

(21)Application number : 2000-116521

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.04.2000

(72)Inventor : MIYAZAKI SUKEYUKI
ISHIBASHI KOICHIRO
ONO TAKEKAZU

(30)Priority

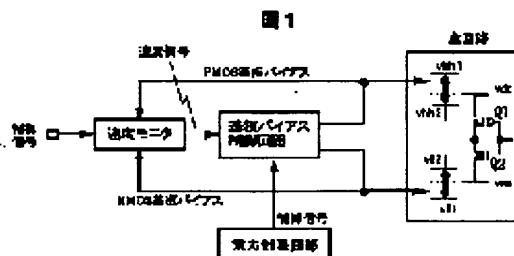
Priority number : 11258792 Priority date : 13.09.1999 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED-CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device with an improved product yield and ease of use by reducing a circuit scale and at the same time improving the product yield, secure reliability, and increasing speed.

SOLUTION: A speed-monitor circuit for forming a speed detection signal corresponding to an operation speed and a substrate bias control circuit for supplying a corresponding substrate bias voltage to a semiconductor region where a P-channel MOSFET and an N-channel MOSFET for composing a main circuit and the speed-monitoring circuit are provided for the main circuit that is composed by CMOS, the above substrate bias is formed so that a speed signal being set corresponding to a plurality of types of operation speeds and the speed detection signal coincide each other by the substrate bias control circuit. A positive bias voltage is supplied to a semiconductor region where the MOSFET for composing the main circuit is formed by a positive bias voltage, and at the same time a current limitat circuit for limiting current being supplied to the semiconductor region in response to a substrate current flowing between the semiconductor region and the source is provided.



LEGAL STATUS

[Date of request for examination]

24.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-156261

(P2001-156261A)

(43) 公開日 平成13年6月8日(2001.6.8)

(51) Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 27/04		H 0 3 K 5/135	5 F 0 3 8
21/822		H 0 3 M 1/66	C 5 F 0 4 8
21/8238		H 0 1 L 27/04	G 5 J 0 0 1
27/092		27/08	3 2 1 M 5 J 0 2 2
H 0 3 K 5/135		H 0 3 K 19/094	D 5 J 0 5 6

審査請求 未請求 請求項の数27 O L (全 35 頁) 最終頁に続く

(21) 出願番号 特願2000-116521(P2000-116521)

(22) 出願日 平成12年4月18日(2000.4.18)

(31) 優先権主張番号 特願平11-258792

(32) 優先日 平成11年9月13日(1999.9.13)

(33) 優先権主張国 日本(J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 宮▲崎▼ 祐行

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 石橋 孝一郎

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100081938

弁理士 徳若 光政

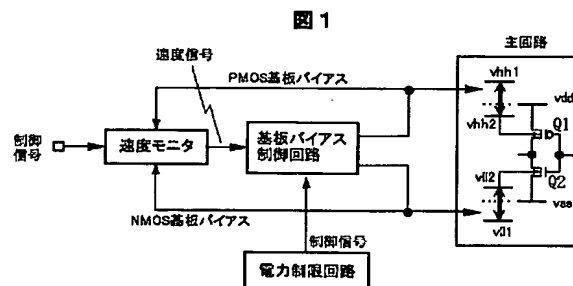
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 回路規模を縮小しつつ、製品歩留りの改善と信頼性を確保しつつ高速化を実現し、製品歩留りの向上と使い勝手のよい半導体集積回路装置を提供する。

【解決手段】 CMOSで構成される主回路に対して、その動作速度に対応した速度検出信号を形成する速度モニタ回路と、上記主回路及び上記速度モニタ回路を構成するPチャンネル型MOSFETとNチャンネル型MOSFETとがそれぞれ形成される半導体領域に、対応する基板バイアス電圧を供給する基板バイアス制御回路を設け、上記基板バイアス制御回路により、複数種類の動作速度に対応して設定された速度信号と上記速度検出信号とが一致するように上記基板バイアス電圧を形成する。主回路を構成するMOSFETが形成される半導体領域に基板バイアス回路により正のバイアス電圧を供給するとともに、上記半導体領域とソースとの間に流れる基板電流に応答して上記半導体領域に供給される電流を制限する電流制限回路を設ける。



【特許請求の範囲】

【請求項1】 CMOSで構成されるクロック信号により動作する主回路と、CMOSで構成され、速度検出信号を発生する速度モニタ回路と、

上記主回路及び上記速度モニタ回路を構成するPチャンネル型MOSFETとNチャンネル型MOSFETとがそれぞれ形成される半導体領域に、基板バイアス電圧を供給する基板バイアス制御回路を備え、

上記クロック信号の周期と上記速度モニタ回路の遅延時間が一致するように上記基板バイアス電圧が発生されることにより、上記主回路が上記クロック信号に同期して動作することを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、上記動作速度は、低速、中速、高速とスタンバイのいずれか少なくとも2つを含むものであることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2において、上記基板バイアス制御回路は、上記主回路及び速度モニタ回路をそれぞれ構成するPチャンネルMOSFETとNチャンネル型MOSFETのそれぞれに対して順方向から逆方向の範囲で所望の基板バイアス電位を与えるものであることを特徴とする半導体集積回路装置。

【請求項4】 請求項1ないし請求項3のいずれかにおいて、

上記速度モニタ回路は、クロックデューティ変換回路と遅延列を含み、

上記クロックデューティ変換回路は、速度情報が周波数の形態で入力されたクロック信号を受けて所望のデューティ比を持つ信号に変換して基準信号として出力し、

上記遅延列は上記基準信号を入力して所望の遅延時間を経て少なくとも1つの遅延信号を出力し、

上記基板バイアス制御回路は、位相周波数比較回路と基板バイアス発生回路とを含み、

上記位相周波数比較回路は、上記基準信号と上記遅延信号を入力して2信号の位相差を比較し位相差に応じてアップ信号若しくはダウン信号を出力し、

上記基板バイアス発生回路は、上記アップ信号と上記ダウン信号を受けてそれに対応した上記Pチャンネル型MOSFETの基板バイアス及びNチャンネル型MOSFETの基板バイアスを生成するものであることを特徴とする半導体集積回路装置。

【請求項5】 請求項3において、電力制限回路を更に有し、上記電力制限回路は上記主回路の電流若しくは温度に応じて少なくとも1つの制限信号を発生し、上記速度モニタ回路による上記基板バイアス制御回路に対する制御に制限を与え、上記主回路に流れる電流若しくは上記主回路の動作温度が所望の値より大きくなることを防ぐようにしてなることを特徴とする半導体集積回路装置。

【請求項6】 請求項5において、

上記電力制限回路は、上記位相周波数比較回路及び上記基板バイアス発生回路のうち少なくとも一方に上記制限信号を伝えることを特徴とする半導体集積回路装置。

【請求項7】 請求項1ないし3のいずれかにおいて、制御信号発生回路を更に備え、

上記制御信号発生回路は、クロック信号及び動作速度を指示するモード切替信号を受けて、上記複数種類の動作速度に対応して設定された速度信号を形成するものであることを特徴とする半導体集積回路装置。

【請求項8】 請求項7において、

上記制御信号発生回路は、クロック発生回路と分周回路と第1のセレクトとを備え、

上記クロック発生回路は、所定の周波数のクロック信号を形成し、

上記分周回路は、上記クロック発生回路で形成されたクロック信号を受けて、少なくとも2種類の周波数を持つ分周信号を出力し、

上記第1のセレクトは、上記モード切替信号を受け、それに対応して上記分周信号のうち1つの周波数の分周信号を選んで出力することを特徴とする半導体集積回路装置。

【請求項9】 請求項4において、

上記速度モニタ回路の遅延列は、出力選択回路を更に備え、

上記基準信号を入力して所望の遅延時間を経た複数通りの遅延信号の中の1つを動作速度を指示するモード切替信号に対応して出力するものであることを特徴とする半導体集積回路装置。

【請求項10】 請求項1において、

上記主回路は、複数の回路ブロックに分割され、上記回路ブロック毎に上記速度モニタ回路及び基板バイアス制御回路が設けられてなることを特徴とする半導体集積回路装置。

【請求項11】 請求項1において、

上記基板バイアス制御回路は、基板電圧に対応したデジタル信号を形成する制御信号発生回路と、上記デジタル信号を受けてアナログ電圧を発生させるD/A変換回路からなり、

上記主回路は、複数の回路ブロックに分割され、

上記分割された複数の回路ブロックに対応して共通に上記速度モニタ回路及び基板バイアス制御回路の制御信号発生回路を設け、

上記分割された各回路ブロック毎に上記D/A変換回路を設けてなることを特徴とする半導体集積回路装置。

【請求項12】 請求項1において、

上記基板バイアス制御回路は、基板電圧に対応したデジタル信号を形成する制御信号発生回路からなり、上記半導体集積回路装置の外部に上記デジタル信号を受けて、上記基板電圧を形成するD/A変換回路が設けられてなることを特徴とする半導体集積回路装置。

【請求項 13】 請求項 3 において、
電流制限手段を更に有し、上記電流制限手段は、少なくとも上記主回路を構成する P チャンネル型 MOS FET と N チャンネル型 MOS FET とがそれぞれ形成される半導体領域の各々に対応する基板バイアス電圧を供給する電圧供給経路に設けられ、上記半導体領域に供給される正のバイアス電圧による電流が過度に流れることを防止することを特徴とする半導体集積回路装置。

【請求項 14】 請求項 13 において、
上記電流制限手段は、半導体集積回路に形成される抵抗素子により構成されることを特徴とする半導体集積回路装置。

【請求項 15】 請求項 13 において、
上記電流制限手段は、ゲートに定常的に所定電圧が印加されてオン状態にされた MOS FET により構成されるものであることを特徴とする半導体集積回路装置。

【請求項 16】 請求項 13 において、
上記電流制限手段は、複数の抵抗素子と、かかる複数の抵抗素子を選択するスイッチ素子とを含み、上記スイッチ素子の選択的なスイッチ制御により複数通りの抵抗値に設定されるものであることを特徴とする半導体集積回路装置。

【請求項 17】 請求項 13 において、
上記電流制限手段は、複数の MOS FET と、かかる複数の MOS FET を選択的にオン状態にさせる制御回路により構成されて、MOS FET の選択的な動作により複数通りの抵抗値に設定されるものであることを特徴とする半導体集積回路装置。

【請求項 18】 CMOS で構成される主回路と、
上記主回路と同様な CMOS で構成され、上記主回路の CMOS 回路における動作速度に対応した速度検出信号を形成する速度モニタ回路と、
電源電圧発生回路とを備え、
上記電源電圧発生回路により、複数種類の動作速度に対応して設定された速度信号と上記速度検出信号とが一致するように上記主回路と速度モニタ回路の動作電圧を制御してなることを特徴とする半導体集積回路装置。

【請求項 19】 MOS FET で構成される主回路と、
上記 MOS FET が形成される半導体領域に正のバイアス電圧を供給する基板バイアス回路と、
上記 MOS FET が形成される半導体領域とソースとの間に流れる基板電流にตอบสนองして上記半導体領域に供給される電流を制限する電流制限回路とを備えてなることを特徴とする半導体集積回路装置。

【請求項 20】 請求項 19 において、
上記電流制限回路は、上記基板バイアス回路に設けられて、上記基板電圧を出力する出力回路の出力インピーダンスを利用して構成されることを特徴とする半導体集積回路装置。

【請求項 21】 請求項 19 において、

上記電流制限回路は、半導体集積回路に形成される抵抗素子により構成されることを特徴とする半導体集積回路装置。

【請求項 22】 請求項 19 において、
上記電流制限回路は、ゲートに定常的に所定電圧が印加されてオン状態にされた MOS FET により構成されるものであることを特徴とする半導体集積回路装置。

【請求項 23】 請求項 19 において、
上記電流制限回路は、複数の抵抗素子と、かかる複数の抵抗素子を選択するスイッチ素子とを含み、上記スイッチ素子の選択的なスイッチ制御により複数通りの抵抗値に設定されるものであることを特徴とする半導体集積回路装置。

【請求項 24】 請求項 19 において、
上記電流制限回路は、複数の MOS FET と、かかる複数の MOS FET を選択的にオン状態にさせる制御回路により構成されて、MOS FET の選択的な動作により複数通りの抵抗値に設定されるものであることを特徴とする半導体集積回路装置。

【請求項 25】 請求項 19 ないし 24 のいずれかにおいて、
上記 MOS FET は、P チャンネル型 MOS FET と N チャンネル型 MOS FET からなり、
上記基板バイアス回路は、上記 P チャンネル型 MOS FET に対応した第 1 基板バイアス回路と、上記 N チャンネル型 MOS FET に対応した第 2 基板バイアス回路からなることを特徴とする半導体集積回路装置。

【請求項 26】 MOS FET で構成される主回路と、
上記 MOS FET が形成される半導体領域に正のバイアス電圧を発生する基板電圧バイアス回路と上記バイアス電圧を上記半導体領域に伝えとともに、その最大電流が一定に制限された MOS FET を含む電流制限回路とを備えてなることを特徴とする半導体集積回路装置。

【請求項 27】 請求項 26 において、
上記 MOS FET は、所定の定電流が流れるようにされた MOS FET と電流ミラー形態に接続されるものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する利用分野】 本発明は半導体集積回路装置に関し、主に複数通りの動作速度で動作させられる CMOS 回路や高速動作が要求される CMOS 回路を備えたものに利用して有効な技術に関するものである。

【0002】

【従来の技術】 本発明を成した後の調査によって、後で説明する本発明に関連すると思われるものとして、特開平 11-122047 号公報（以下、先行技術 1 という）があることが判明した。先行技術 1 の公報においては、処理性能を劣化させることなく消費電流を低減するため、内部回路に含まれる MOS トランジスタのバック

ゲートへ与えられるバックゲート電圧の電圧レベルを、モード検出信号からの動作モードに応じて、複数の異なる電圧レベルの電圧を発生する電圧発生回路の出力電圧を選択して供給してMOSトランジスタのしきい値電圧を変化させるものである。また、上記のような先行技術1とは発明の前提が異なり、本願発明者等によりなされ、基板バイアス制御によりMOSトランジスタのプロセスばらつきを補償するという発明を本願出願人が特開平8-274620号公報（以下、先行技術2という）において提案している。

【0003】

【発明が解決しようとする課題】上記先行技術1においては、低消費電力のためにMOSトランジスタのバックゲート電圧を変化させるために、それに対応した数の電圧発生回路を有するものである。かかる電圧発生回路は、負のバックゲート電圧を形成する場合には例えば上記公報の添付図面の図9に示されるようなチャージポンプ回路が用いられる。このチャージポンプ回路は、DC-DCコンバータであるが、その電圧変換効率は低くその消費電力は比較的大きなものとなる。

【0004】上記先行技術1においては、上記のように複数通りの動作モードがある場合、それに対応した数の電圧発生回路が必要となって回路規模を大きくしてしまうとともに、1つの動作モードにおいては必要なバックゲートは1つであるのに対して、上記のように複数通りの動作モードに対応したバックゲートを発生させるものでは、使用しないバックゲート電圧を発生させるために無駄な電流消費を生じさせてしまうという問題がある。そこで、1つの動作モードのときには、それに対応した電圧発生回路のみを動作させ、他のバックゲート電圧に

対応された電圧発生回路の動作を停止させればよいが、その場合には動作モードの切り換え応答性が犠牲になってしまうものである。

【0005】前記先行技術1のかかる問題を解決するために、それとは全く別の観点で本願発明者等においては先に発明された先行技術2を組み合わせることにより、回路の簡素化と低消費電力化を併せ持つ上に、プロセスばらつきにも対応でき、製品歩留りの大幅な改善を可能とするCMOS構成の半導体集積回路装置や製品歩留りの改善と信頼性とを確保しつつ高速化を可能にしたMO

S構成の半導体集積回路装置を開発するに至った。

【0006】この発明の目的は、回路規模を縮小しつつ、低消費電力化と製品歩留りの向上を実現した半導体集積回路装置を提供することにある。この発明の目的は、上記に加えて使い勝手の改善を実現した半導体集積回路装置を提供することにある。この発明の他の目的は、製品歩留りの改善と信頼性を確保しつつ高速化を実現した半導体集積回路装置を提供することにある。この発明の更に他の目的は、上記に加えて、制御性と素子の

ある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。CMOSで構成される主回路に対して、その動作速度に対応した速度検出信号を形成する速度モニタ回路と、上記主回路及び上記速度モニタ回路を構成するPチャンネル型MOSFETとNチャンネル型MOSFETとがそれぞれ形成される半導体領域に、対応する基板バイアス電圧を供給する基板バイアス制御回路を設け、上記基板バイアス制御回路により、複数種類の動作速度に対応して設定された速度信号と上記速度検出信号とが一致するように上記基板バイアス電圧を形成する。

【0008】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。CMOSで構成される主回路に対して、その動作速度に対応した速度検出信号を形成する速度モニタ回路と、電源電圧発生回路とを設け、上記電源電圧発生回路により、複数種類の動作速度に対応して設定された速度信号と上記速度検出信号とが一致するように上記主回路と速度モニタ回路の動作電圧を制御する。

【0009】本願において開示される発明のうち更に他の代表的なものの概要を簡単に説明すれば、下記の通りである。主回路を構成するMOSFETが形成される半導体領域に基板バイアス回路により正のバイアス電圧を供給するとともに、上記半導体領域とソースとの間に流れる基板電流に応答して上記半導体領域に供給される電流を制限する電流制限回路を設ける。

【0010】

【発明の実施の形態】図1には、この発明に係る半導体集積回路装置の一実施例の基本的なブロック図が示されている。同図には、この発明に関連する回路ブロックを取り出して示されている。同図の各回路ブロックは、公知のCMOS集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。

【0011】本願において、用語「MOS」は、本来はメタル・オキシド・セミコンダクタ構成を簡略的に呼称するようになったものと理解される。しかし、近年の一般的呼称でのMOSは、半導体装置の本質部分のうちのメタルをポリシリコンのような金属でない電気導電体に換えたり、オキシドを他の絶縁体に換えたりするものの含んでいる。CMOSもまた、上のようなMOSに付いての捉え方の変化に応じた広い技術的意味合いを持つと理解されるようになってきている。MOSFET又はMOSトランジスタもまた同様に狭い意味で理解されているのではなく、実質上は絶縁ゲート電界効果トラ

ンジスタとして捉えられるような広義の構成をも含めての意味となってきた。本発明のCMOS、MOSFET及びMOSトランジスタ等は一般的呼称に習っている。

【0012】同図の主回路は、その基本的な構成であるPチャンネル型MOSFETQ1とNチャンネル型MOSFETQ2からなるCMOSインバータ回路が代表として例示的に示されている。かかるCMOS回路を用いて主回路が構成されてなる半導体集積回路装置が消費する電力には、スイッチング時の充放電によるダイナミックな消費電力と、サブスレッショルドリーク電流によるスタティックな消費電力が存在する。ダイナミックな消費電力は、電源電位 v_{dd} の二乗に比例するため、電源電位 v_{dd} の値を下げると効果的に消費電力を低下できる。近年、上記主回路として、例えばマイクロプロセッサ等では、電源電位 v_{dd} を下げて低消費電力化する傾向にある。

【0013】上記CMOS回路の動作速度は電源電位 v_{dd} の低下にともない遅くなる。動作速度の劣化を防ぐためには、電源電位 v_{dd} の低下にともないMOSFETのしきい値電圧を下げる必要がある。しかし、しきい値電圧を下げると図35のしきい値電圧と電流との特性図に示すように極端にサブスレッショルドリーク電流が増加する。このため、電源電位 v_{dd} の低下が進むにつれて、従来はそれほど大きくなかったサブスレッショルドリーク電流によるスタティックな消費電力の増加が顕著になってきた。このため、高速性と低電力性の二点を両立したマイクロプロセッサ等のCMOSデジタル回路を実現することが重要な課題となっている。

【0014】上記の問題を解決する方法として、前記先行技術1（例えば特開平11-122047号公報）により提案されているように、基板バイアスを動作モードに応じて複数の異なる電位に固定することにより、MOSトランジスタのしきい値電圧を調整する方法が挙げられる。しかしながら、先行技術1では、前記のようにバックゲート電圧に対応した、言い換えるならば、低速動作モード、中速動作モード及び高速動作モードのそれぞれに対応して複数の電圧発生回路を必要とするため、回路規模が大きくなってしまいうともに、電圧発生回路での無駄な電流消費が生じてしまうという問題を有する。

【0015】この実施例では、前記本願発明者等において先に開発された先行技術2における電圧制御技術を利用するものである。すなわち、主回路の動作速度を測定するために同じCMOS回路で速度モニタ回路を構成する。速度モニタ回路及び主回路は、基板バイアス制御回路で形成されたPMOS基板バイアス及びNMOS基板バイアスによりMOSFETのしきい値電圧を変化させることができ、その結果動作速度を制御することができる。

【0016】速度モニタ回路は、速度切り換えのための

制御信号を受け、その動作速度に応じて速度検出信号を出力する。基板バイアス制御回路は、速度モニタ回路が出力する速度検出信号をもとに速度モニタ回路の動作速度を検出し、上記制御信号と比較して動作速度が所望の値になるようにPMOS基板バイアス及びNMOS基板バイアスを発生して、速度モニタ回路及び主回路のPチャンネル型MOSFETQ1とNチャンネル型MOSFETQ2がそれぞれ形成される半導体領域（通常、ウェル領域）に供給する。

【0017】例えば、速度モニタ回路に対して上記制御信号により設定された動作速度に対して、その速度検出信号が遅い場合は基板バイアスを浅くしてMOSFETのしきい値電圧を下げるように制御して、速度モニタ回路及び主回路の動作速度を速くする。反対に、速度モニタ回路の速度検出信号上記設定値よりも速い場合は基板バイアスを深くしてMOSFETのしきい値電圧を上げ、速度モニタ回路及び主回路の動作速度を遅くする。速度モニタ回路の動作速度が上記設定値に等しい時には基板バイアスをそのまま保ち続ける。この結果、速度モニタ回路及び主回路は、上記制御信号により設定された動作モードに対応した動作速度を保つことができる。

【0018】この実施例では、特に制限されないが、PMOS基板バイアスは電圧 $v_{hh1} \sim v_{hh2}$ 、及びNMOS基板バイアスは $v_{ll1} \sim v_{ll2}$ のように、逆バイアスにも順バイアスにも印加することができるようにされている。図36の基板バイアスとしきい値電圧との特性図に示すように、(a)に示したNチャンネル型MOSFETの特性と、(b)に示したPチャンネル型MOSFETの特性に示すように、MOSトランジスタに逆バイアスを印加すると、基板バイアスは深くなる方向で、しきい値電圧は高くなる。MOSトランジスタに順バイアスを印加すると、基板バイアスは浅くなる方向で、しきい値電圧は低くなる。

【0019】例えばNチャンネル型MOSFETは基板バイアスを大きくするとしきい値電圧が下がり、Pチャンネル型MOSFETは基板バイアスを小さくするとしきい値電圧が下がる。Nチャンネル型MOSFETでは、基板バイアスがNチャンネル型MOSFETのソース電位と比較して負の電位である場合、PN接合の逆方向にバイアスされていることから逆バイアスと呼ばれる。また、基板バイアスがソース電位と比較して正の電位である場合、PN接合の順方向にバイアスされていることから順バイアスと呼ばれる。Pチャンネル型MOSFETの場合は反対で、基板バイアスがPチャンネル型MOSFETのソース電位と比較して正の電位である場合を逆バイアス、負の電位である場合を順バイアスと呼ぶ。

【0020】以下、本明細書においては、基板バイアスをMOSFETの逆バイアス方向に大きくすることを「基板バイアスを深くする」と、また順バイアス方向に大きくする事を「基板バイアスを浅くする」と表現す

る。このことから、CMOS回路は基板に逆バイアスを印加すると動作速度を遅くし、順バイアスを印加すると動作速度を速くすることがわかる。

【0021】この実施例では、各動作モードに対応して共通に用いられる速度モニタ回路と基板バイアス制御回路により、各動作モードに応じた複数通りのPMOSバイアスとNMOSバイアスを形成することができる。この結果、回路の簡素化を図ることができるときにも、その動作モードでは使用しないバックグート電圧に対応した電圧発生回路が存在しないから、そこでの無駄な電流消費がなく、効率のよい電圧発生動作を行わせることができる。例えば、半導体集積回路装置が何も動作を行わないスタンバイ状態、遅い信号処理動作で設定される低速モード、中間的な信号処理動作時に設定される中速モード及び最高速の信号処理時に設定される高速モードの4通りの動作モードを設けても、上記速度モニタ回路及び基板バイアス制御回路はそれぞれの動作モードに対して共通に使用される。

【0022】このことは、単に回路の簡素化や低消費電力をもたらすことだけでなく、上記制御信号の設定により、上記低速モードと中速モードとの中間に例えば低速中速モードを設定したり、上記中速モードと高速モードとの間に例えば中高速モードを設定したりすることもできる。つまり、上記の回路構成では上記制御信号の変更による、いわばソフトウェアによりCMOS回路の動作速度をその時々信号処理時間に応じて任意の速度に設定することができ、使い勝手の飛躍的な向上も実現できるという別の効果も奏することができる。

【0023】この実施例においては、別の観点からすると半導体集積回路装置の製造歩留りを飛躍的に改善することができる。近年のようにMOSFETの微細化が進むと、作成プロセスにおけるMOSFET寸法やMOSFET性能のばらつきが大きくなる。ところで、マイクロプロセッサ等のCMOS回路で構成される半導体集積回路装置では、多数のMOSFETを総合した結果が動作速度や消費電力を決定する。このため、マイクロプロセッサチップの内部でMOSFETが性能ばらつきを持っている場合でも、チップとして性能を見た場合には個々のMOSFET性能のばらつきは平均化される。従って、チップ内の性能平均がチップ間でばらつきを持つ事が問題となる。

【0024】図37に示すように、チップの数が多いとチップ内の平均しきい値電圧は図のように正規分布をする。この分布の広がり、近年の微細化により大きくなってきている。このようにばらつきを持つマイクロプロセッサ等の半導体集積回路装置において、全マイクロプロセッサチップに対し、前記先行技術1のような低速と高速動作モードに対応して固定的な基板バイアスを逆バイアス（例えば-1.5V）や順バイアス（例えば+0.5V）として印加すると、ばらつきの分布は図38

のように広がりを持ったまま変化する。

【0025】もし仮に図38の(a)点よりもしきい値電圧が低くなるとサブスレッショルドリーク電流によるスタティックな消費電力が増大しすぎるとしたら、製造されたマイクロプロセッサチップのうち約1/3は高速モードで使用できない。同様に、図38の(b)点よりもしきい値電圧が高くなると動作速度が遅くなりすぎるとしたら、やはりチップの約1/3が低消費電力モードで使用できないことになる。結局、チップの歩留りは1/3にしかならず、半導体集積回路装置の製造効率を悪化させるものになる。

【0026】この実施例においては、前記のように速度モニタ回路と基板バイアス制御回路を組み合わせ、PMOS基板バイアス及びNMOS基板バイアスを形成するものであるために、個々のチップのしきい値電圧の分布がばらつき抑制効果によって狭い範囲に集中することとなる。つまり、個々のチップ毎において、基板バイアスを逆バイアスから順バイアスまでの間（例えば-1.5Vから+0.5V）変化させることにより、マイクロプロセッサチップの性能ばらつきを所望の位置に抑制できる。

【0027】上記のようにばらつきを抑制する位置を、モード切替信号により変化させると、図40のように高速モード、中速モード、低速低消費電力モードのそれぞれの位置にばらつきを集約させることができる。したがって、本願発明の適用によって、CMOSデジタル回路で構成されるマイクロプロセッサチップは、前記のように高速化と低消費電力化を同時に実現しつつ、さらにチップの歩留まりを飛躍的に向上させる事ができる。

【0028】また、このばらつきを抑制する位置を図41のようにサブスレッショルドリーク電流が増大しすぎる限界である(a)点に置くと、約1/3のマイクロプロセッサチップを(a)点にそろえることができ、最高速モードを設定する事ができる。同様に動作速度が遅くなる限界である(b)点にばらつきの抑制位置を置くと、約1/3のチップを(b)点にそろえることができ、最低消費電力モードを設定する事ができる。さらに、CMOS回路が動作しないスタンバイ状態においては、基板バイアスを最も深く印加する事により図42のようにスタンバイモードを設定し、超低消費電力モードにすることができる。

【0029】この実施例のように共通に使用される基板バイアス制御回路において、基板バイアス電圧を前記図36に示したように順バイアスから逆バイアスの範囲で変化させることは、制御効率を高くする上で極めて有益なものとなる。すなわち、本願出願人の先願に係る先行技術2のように、MOSFETに対して逆バイアス電圧のみを印加して、そのしきい値電圧(Threshold Voltage)を変化させる場合に比べ、この実施例のように順バイアスから逆バイアスの範囲とした場合は、図43の特性

図に示すように基板バイアス (Substrate Bias) の電圧変化幅をほぼ半減させることができる。

【0030】図43には、基板バイアスとしきい値電圧の関係を示す特性図が示されている。順バイアスと逆バイアスとを用い、しきい値電圧を0.15Vに制御する場合、ベスト (BEST) 側の範囲でばらつきが生じるMOSFETのしきい値電圧を上記目標の0.15Vに戻すには最大で電圧 (c) の基板バイアスを発生させればよいし、ワースト (WORST) 側の範囲でばらつきが生じるMOSFETのしきい値電圧を上記目標の0.15Vに戻すには、最大で (b) の基板バイアス電圧を発生させればよい。つまり、上記ベストとワーストの範囲でばらつきを持つMOSFETのしきい値電圧を目標値 (TYPICAL) に制御するのに必要な制御電圧の範囲は、(b) + (c) のように約1V程度でよい。

【0031】これに対して、先行技術2のように逆バイアス電圧のみを用いるものでは、MOSFETのしきい値電圧を全体的に小さくなるように下側にシフトさせる。つまり、前記ワースト (WORST) 特性を図示のように下げた特性として、これに従って、前記のTYPICAL特性をBEST特性に置き換え、WORST特性をTYPICAL特性に置き換えるようにするものである。この場合には、前記と同じ範囲でばらつきを持つMOSFETを目標値に制御するのに必要な制御電圧の範囲は、(a) のように約1.9Vまで大きくする必要がある。

【0032】更に別の観点からすると、この実施例のように基板バイアスを順バイアスから逆バイアスの範囲で変化させることは、高集積化を図る上で極めて有益なものとなる。すなわち、図44に示されたしきい値電圧 (Threshold Voltage) とゲート長 (Gate Length) との特性図において、基板バイアス電圧 V_{bb} の電圧値が逆バイアス方向に大きいときにはゲート長の変化に対するしきい値電圧の変化が大きくなる。特に、素子の微細化のためにゲート長を短くし、ショートチャンネル効果が生じる付近で設計すると、ゲート長のプロセスばらつきに対するしきい値電圧の変化が極端に大きくなる。

【0033】MOSFETのレイアウト設計において、高集積化のために上記ショートチャンネル効果が生じる付近でMOSFETのゲート長を設定することが多い。この場合、この実施例のように基板バイアスを順バイアスから逆バイアスの範囲で変化させ、MOSFETを大きな逆バイアス電圧を印加した状態で動作させないようにすると、上記しきい値電圧の変化幅が小さくすることができ、素子の微細化を図りつつ安定したしきい値電圧の設定及び制御が可能になるものである。

【0034】ところで、基板バイアスを順バイアスに印加してマイクロプロセッサの性能ばらつきを抑制するにあたり、次の問題が生じる。まず、順バイアスでしきい値を下げるによりサブスレッショルドリーク電流が

増加する。次に、順バイアスによりMOSトランジスタの基板内部でバイポーラ構造のバイポーラ電流が増大する。さらに、順バイアスによりラッチアップが発生しついにMOSFETを破壊に至らしめる。

【0035】つまり、CMOS回路に順バイアスをかけた場合、しきい値電圧の低下に伴いサブスレッショルドリーク電流が増加し、順バイアスによりCMOS回路を形成している基板の内部でバイポーラ電流が増加し、また順バイアスが大きすぎるとラッチアップ現象を起こしてMOSトランジスタを破壊する可能性がある。これら、電流の増加は、半導体集積回路装置の低消費電力化にとっては致命的な欠点となる。またラッチアップは起きてはならない。

【0036】そこで、この実施例では、電流増加とラッチアップの発生を防止するため、電力制限回路は主回路の電流または温度を計測し、主回路がある一定の電流または温度を示した場合には、制限信号を発生して基板バイアス制御回路がPMOS基板バイアス及びNMOS基板バイアスをそれ以上浅くしないように制限する。このことで、電流増加とラッチアップの発生を防止できる。このことにより、信頼性の高いマイクロプロセッサを提供できる。このような電力制限回路の付加によって、前記のような動作制御による種々の利点を享受しつつ、半導体集積回路装置の信頼性を実現するものである。

【0037】図2には、本発明に係る半導体集積回路装置の一実施例のブロック図が示されている。同図は、図1の速度モニタ回路及び基板バイアス制御回路をより具体的に示したものであり、速度モニタ回路は、クロックデューティ変換回路と遅延列から構成され、基板バイアス制御回路は位相周波数比較回路と基板バイアス発生回路から構成される。以下、主回路の代表として示されたCMOSインバータ回路は、前記図1のCMOSインバータ回路と同様であり、その回路記号は省略するものである。

【0038】クロックデューティ変換回路は、速度情報が周波数の形態とされたクロック信号からなる制御信号を受け、かかる制御信号のデューティ比を所望の値に変化させて基準信号として出力する。例えば、図6の波形図に示したように、制御信号に対して周波数を1/4に分周し、デューティ比を1:3にした信号を基準信号として出力させる。この基準信号は、遅延列により遅延される。遅延列は上記基準信号を受けて、PMOS基板バイアス及びNMOS基板バイアスの値に応じた遅延時間を経て遅延信号を出力する。

【0039】例えば、上記遅延列は図4に示されているように、CMOSインバータ回路が直列接続されており、初段のインバータに基準信号が供給される。各インバータのMOSトランジスタには、PMOS基板バイアス及びNMOS基板バイアスが印加され、かかる基板バイアスに対応して遅延時間を変化させられる。この実施

例では、最終段から3個めのインバータ出力の遅延が、図6の制御信号(クロック信号)1周期だけ遅れるような段数のインバータを接続する。例えば、最終段から4段目のインバータから出力を遅延信号11として取り出し、2段目のインバータ出力を遅延信号12として取り出す。

【0040】この時遅延列の入出力信号は図7のようになる。すなわち、基準信号の立ち下がりがエッジと比べて、遅延信号11の立ち上がりエッジは速く発生し遅延信号12の立ち上がりエッジは遅く発生するように設計されている。それぞれの位相差は、基準信号と遅延信号11、あるいは基準信号と遅延信号12とのAND(アンド)をとることで計測できる。

【0041】図7に示した状態、つまり、基準信号の立ち下がりが、言い換えるならば、制御信号の1周期に対して、遅延信号11の立ち上がりは速く、遅延信号12の立ち上がりは遅くなるような位相関係が標準的な遅延列の持つ遅延時間であり、プロセスばらつきや電源電位の変動、温度の変化等により遅延列の遅延時間が変化すると、図2に示した位相周波数比較回路が速いか遅いかを判断する。例えば遅延列の遅延時間が速くなると、遅延信号11と12の立ち上がりエッジは基準信号の立ち下がりがエッジよりも速く発生し、逆に遅延時間が遅くなると遅延信号11と12の立ち上がりエッジは遅く発生するようになる。

【0042】遅延時間が速い場合は、位相周波数比較回路はダウン信号を出力し、遅延時間が遅い場合は位相周波数比較回路がアップ信号を出力する。基板バイアス発生回路は、ダウン信号を受け取ると基板バイアスを深くする。すなわち、PMOS基板バイアスを大きくし、NMOS基板バイアスを小さくして逆バイアス方向に基板バイアスを深くしていく。その結果、遅延列及び主回路の動作速度は遅くなる。また基板バイアス発生回路がアップ信号を受け取ると、基板バイアスを浅くする。すなわち、PMOS基板バイアスを小さくし、NMOS基板バイアスを大きくして順バイアス方向に基板バイアスを浅くしていく。その結果、遅延列及び主回路の動作速度は速くなる。

【0043】上記のような帰還制御動作によって、遅延列の動作速度が設定値になると、アップ信号やダウン信号はとまり、基板バイアス発生回路も一定の基板バイアスを供給することで、遅延列と主回路の動作速度が一定に保たれる。遅延列は、インバータ以外にもANDゲートやNORゲートといったCMOS論理回路を用いてもよいし、また主回路となるマイクロプロセッサのクリティカルパスと同じ組合せのCMOS回路を用いてもよい。

【0044】電力制限回路は、主回路の電流若しくは温度を計測し、電流値若しくは温度が設定の値よりも大きくなると制限信号を発生する。制限信号が位相周波数比

較回路31に入力される場合、位相周波数比較回路はアップ信号を停止する。また、制限信号が基板バイアス発生回路に入力される場合、基板バイアス発生回路は現時点の基板バイアスより浅い基板バイアスを供給しなくなる。このようにして、主回路の電流が増大したり温度が上昇しすぎるのを防ぎ、しきい値電圧低下に伴うサブスレッショルドリーク電流の上昇を抑え、順バイアスに伴うパイポーラ電流の増加を抑え、ラッチアップの発生を防ぐ。

【0045】図3には、本発明の他の実施例のブロック図が示されている。同図は、図1の速度モニタ回路及び基板バイアス制御回路をより具体的に示したものであり、速度モニタ回路は、リング発振回路から構成され、基板バイアス制御回路は位相周波数比較回路と基板バイアス発生回路から構成される。リング発振回路は、PMOS基板バイアス及びNMOS基板バイアスの値に応じて発振周波数を変化させ、速度検出信号としての発振信号を出力する。

【0046】図5にはリング発振回路の一実施例の回路図が示されている。図のように、リング発振回路は、奇数個のCMOSインバータ回路がリング状に接続されており、一ヶ所から発振信号が出力される。各インバータのMOSFETには、PMOS基板バイアス及びNMOS基板バイアスが印加され、その遅延時間が変化させられることにより発振周波数を調節できる。位相周波数比較回路では、速度情報が周波数の形態とされたクロック信号からなる制御信号とリング発振回路の発振信号の周波数を比較する。

【0047】図8に位相周波数比較回路の一実施例の回路図が示されている。制御信号とリング発振回路の発振信号の周波数が等しい時、位相周波数比較回路は出力を出さない。つまり、上記両信号の周波数(位相)が等しいときには、例えばアップ信号とダウン信号は共にロウレベルのままである。プロセスばらつきや電源電位の変動、温度の変化等によりリング発振回路の遅延列の遅延時間が変化して発振周波数が変化すると、位相周波数比較回路がアップ信号またはダウン信号を出力する。

【0048】例えばリング発振回路の発振周波数が制御信号よりも高くなると、位相周波数比較回路はダウン信号を例えばハイレベルとし、発振周波数が低い場合は位相周波数比較回路がアップ信号を例えばハイレベルとする。基板バイアス発生回路は、ダウン信号のハイレベルにより基板バイアスを深くするよう動作する。すなわち、PMOS基板バイアスを大きくし、NMOS基板バイアスを小さくして逆バイアス方向に基板バイアスを深くしていく。その結果、上記リング発振回路の遅延列の遅延時間が長くなってリング発振回路の発振周波数が低くなる。基板バイアス発生回路は、上記のようにアップ信号がハイレベルにされると、基板バイアスを浅くする。すなわち、PMOS基板バイアスを小さくし、NM

OS基板バイアスを大きくして順バイアス方向に基板バイアスを浅くしていく。その結果、リング発振回路の発振周波数は高くなる。

【0049】上記のような帰還制御動作によって、リング発振回路の発振周波数が制御信号の周波数と等しくなると、アップ信号やダウン信号はとまり、基板バイアス発生回路も一定の基板バイアスを供給することで、遅延列と主回路の動作速度が一定に保たれる。上記リング発振回路を構成する遅延列は、インバータ以外にもANDゲートやNORゲートといったCMOS論理回路を用いてもよいし、また主回路となるマイクロプロセッサのクリティカルパスと同じ組合せのCMOS回路を用いてもよい。

【0050】この実施例においても、電力制限回路は、主回路の電流若しくは温度を計測し、電流値若しくは温度が設定の値よりも大きくなると制限信号を発生する。制限信号が位相周波数比較回路に入力される場合、位相周波数比較回路はアップ信号を停止する。また、制限信号が基板バイアス発生回路に入力される場合、基板バイアス発生回路は現時点の基板バイアスより浅い基板バイアスを供給しなくなる。このようにして、主回路の電流が増大したり温度が上昇しすぎるのを防ぎ、しきい値電圧低下に伴うサブスレッショルドリーク電流の上昇を抑え、順バイアスに伴うバイポーラ電流の増加を抑え、ラッチアップの発生を防ぐ。

【0051】図9には、図2又は図3に示された基板バイアス発生回路の一実施例の回路図が示されている。この実施例の基板バイアス発生回路は、アップ/ダウンカウンタ、デコーダ、D/Aコンバータから構成される。アップ/ダウンカウンタは、前記位相周波数比較回路で形成されたアップ信号及びダウン信号を受け、アップ信号ではカウンタ信号のカウントを増加し、ダウン信号ではカウンタ信号のカウントを減少する。

【0052】デコーダは上記アップ/ダウンカウンタのカウンタ信号をデコードし、デコーダ信号を出力する。D/Aコンバータはデコーダ信号に応じた電位をPMOS基板バイアス、NMOS基板バイアスとして出力する。例えばNMOS基板バイアスを逆バイアス -1.5V から順バイアス $+0.5\text{V}$ まで変化させる場合、ダウン信号がアサート（例えばハイレベル）されるとNMOS基板バイアスは深くなる方向、すなわち $+0.5\text{V}$ から -1.5V の方向へダウン信号に応じて所定の電圧毎に変化していく。また、アップ信号がアサート（例えばハイレベル）されるとNMOS基板バイアスは浅くなる方向、すなわち -1.5V から $+0.5\text{V}$ の方向へアップ信号に応じて所定の電圧毎に変化していく。

【0053】また、例えばPMOS基板バイアスを逆バイアス $+1.5\text{V}$ （電源電位が 1.8V の時には 3.3V ）から順バイアス -0.5V （電源電位が 1.8V の時には 1.3V ）まで変化させる場合、ダウン信号が

アサートされるとPMOS基板バイアスは深くなる方向、すなわち -0.5V から $+1.5\text{V}$ の方向へダウン信号に応じて所定の電圧毎に変化していく。また、アップ信号がアサートされるとPMOS基板バイアスは浅くなる方向、すなわち $+1.5\text{V}$ から -0.5V の方向へアップ信号に応じて所定の電圧毎に変化していく。

【0054】図10には、図2又は図3に示された基板バイアス発生回路の他の一実施例の回路図が示されている。この実施例の基板バイアス発生回路は、アップ/ダウンシフトレジスタ、D/Aコンバータから構成される。アップ/ダウンシフトレジスタは、前記位相周波数比較回路で形成されたアップ信号及びダウン信号を受け、アップ信号によりレジスタ信号出力のうち選択される位置を上に移動し、ダウン信号によりレジスタ信号出力のうち選択される位置を下に移動する。

【0055】D/Aコンバータはレジスタ信号に応じた電位をPMOS基板バイアス、NMOS基板バイアスとして出力する。例えばNMOS基板バイアスを逆バイアス -1.5V から順バイアス $+0.5\text{V}$ まで変化させる場合、ダウン信号がアサートされるとNMOS基板バイアスは深くなる方向、すなわち $+0.5\text{V}$ から -1.5V の方向へダウン信号に応じて所定の電圧毎に変化していく。また、アップ信号がアサートされるとNMOS基板バイアスは浅くなる方向、すなわち -1.5V から $+0.5\text{V}$ の方向へアップ信号に応じて所定の電圧毎に変化していく。

【0056】例えばPMOS基板バイアスを逆バイアス $+0.5\text{V}$ （電源電位が 1.8V の時には 3.3V ）から順バイアス -0.5V （電源電位が 1.8V の時には 1.3V ）まで変化させる場合、ダウン信号がアサートされるとPMOS基板バイアスは深くなる方向、すなわち -0.5V から $+1.5\text{V}$ の方向へダウン信号に応じて所定の電圧毎に変化していく。また、アップ信号がアサートされるとPMOS基板バイアスは浅くなる方向、すなわち $+1.5\text{V}$ から -0.5V の方向へアップ信号に応じて所定の電圧毎に変化していく。

【0057】図11には、図2又は図3に示された基板バイアス発生回路の更に他の一実施例の回路図が示されている。この実施例の基板バイアス発生回路はインバータ回路、チャージポンプ、ループフィルタ、DC/DCコンバータから構成される。チャージポンプは、前記位相周波数比較回路で形成されたアップ信号をインバータで反転した信号と、ダウン信号を入力し、アップ信号が入っている間は電源電位 v_{dd} から電流が出力に供給され、ダウン信号が入っている間は電源電位 v_{ss} 方向へ電流が出力から放出され、出力の電位を変化させる。

【0058】この出力電位は抵抗と容量からなるループフィルタを通して直流電位になり、直流電位はDC/DCコンバータによりPMOS基板バイアスとNMOS基板バイアスに変換される。例えばNMOS基板バイアス

を逆バイアス -1.5V から順バイアス $+0.5\text{V}$ まで変化させる場合、ダウン信号がアサートされるとNMOS基板バイアスは深くなる方向、すなわち $+0.5\text{V}$ から -1.5V の方向へダウン信号に応じてアナログ的に変化していく。また、アップ信号がアサートされるとNMOS基板バイアスは浅くなる方向、すなわち -1.5V から $+0.5\text{V}$ の方向へアップ信号に応じてアナログ的に変化していく。

【0059】例えばPMOS基板バイアスを逆バイアス $+1.5\text{V}$ （電源電位が 1.8V の時には 3.3V ）から順バイアス -0.5V （電源電位が 1.8V の時には 1.3V ）まで変化させる場合、ダウン信号がアサートされるとPMOS基板バイアスは深くなる方向、すなわち -0.5V から $+1.5\text{V}$ の方向へダウン信号に応じてアナログ的に変化していく。また、アップ信号がアサートされるとPMOS基板バイアスは浅くなる方向、すなわち $+1.5\text{V}$ から -0.5V の方向へアップ信号に応じてアナログ的に変化していく。

【0060】図12には、電力制限回路の一実施例のブロック図示されている。この実施例の電力制限回路は、電流測定回路と電圧比較器から構成される。電流測定回路は測定している電流を電圧値に変換して出力電圧を生成する。電圧比較器は基準電位と出力電圧の電位を比較し、出力電圧が基準電位より大きくなると制限信号をアサートする。

【0061】図14には、上記電流測定回路の一実施例の回路図が示されている。この回路では、PMOS基板バイアスによるPMOSトランジスタのリーク電流を測定し電圧に変換する。つまり、Pチャンネル型MOSFETのゲートとソースに電源電圧 v_{dd} を供給し、その基板（バックゲート）にPMOS基板バイアスを印加する。Pチャンネル型MOSFETのゲートに上記のようにソースと同電位の電源電圧 v_{dd} を印加した場合、オフ状態にされてリーク電流が抵抗に流れる。

【0062】MOSFETは、正の温度特性を持つものであるために、主回路の電流が増大したり温度が上昇しすぎると、しきい値電圧低下に伴うサブスレッショルドリーク電流が増大し、抵抗で発生する電圧降下を大きくする。この電圧降下が、基準電圧より高くなると、電圧比較回路により上記制限信号を形成する。このため、電圧比較回路は、上記基準電圧付近の入力信号に対して高感度の電圧比較動作、言い換えるならば、高利得の電圧増幅動作を行うよう形成される。

【0063】上記構成において、Pチャンネル型MOSFETの基板バイアスとして、順バイアスを印加してディプレッションモードにすれば、上記のようにゲートとソースとを同電位としても電流が流れる。しかしながら、前記のような帰還制御動作での基板バイアス制御回路では、Pチャンネル型MOSFETをディプレッションモードにするような基板バイアスを行わないから、上

記リーク電流が抵抗に流れるものとなる。

【0064】図15には、上記電流測定回路の他の一実施例の回路図が示されている。この回路は、NMOS基板バイアスによるNMOSトランジスタのリーク電流を測定し電圧に変換する。つまり、Nチャンネル型MOSFETのドレインに電源電圧 v_{dd} を供給し、ゲートとソースを共接続して回路の接地電位 v_{ss} との間に抵抗を接続する。Nチャンネル型MOSFETのゲートとソースを接続した場合、オフ状態にされてリーク電流が抵抗に流れる。前記同様に主回路の電流が増大したり温度が上昇しすぎると、しきい値電圧低下に伴ってリーク電流が増大し、抵抗で発生する電圧降下を大きくする。この電圧降下が、基準電圧より高くなると、電圧比較回路により上記制限信号を形成する。

【0065】図16には、上記電流測定回路の更に他の実施例の回路図が示されている。この回路は、前記のようなゲートとソースが共通接続されたPチャンネル型MOSFETとNチャンネル型MOSFETを共通接続し、Nチャンネル型MOSFETのソースと回路の接地電位 v_{ss} との間に上記抵抗を接続するものである。つまり、電源電圧 v_{dd} と回路の接地電位 v_{ss} との間に、逆方向の電圧が印加されるダイオード接続のPチャンネル型MOSFETとNチャンネル型MOSFET及び抵抗を直列形態に接続する。この実施例回路では、PMOS基板バイアス及びNMOS基板バイアスによりCMOS回路のサブスレッショルドリーク電流を検出し、それを抵抗に流すことにより電圧信号に変換するものである。

【0066】図17には、上記電流測定回路の他の一実施例の概略素子構造断面図が示されている。この同図では、寄生素子の役割を判り易くするために、使用するMOSFETを前記のような単なる回路記号ではなく、デバイスの断面構造で表している。この実施例で使用するNチャンネル型MOSFETは、特に制限されないが、P型基板上に形成された深い深さのウェル領域（N-isolation）にpウェルが形成されて、n領域からなるソースとドレインが形成される。このような素子構造では、Nチャンネル型MOSFETの基板内に存在するNPN型バイポーラトランジスタ、つまり、n領域をコレクタとし、Pウェルをベースとし、深い深さのウェル領域（N-isolation）をエミッタとするNPN型の寄生トランジスタが存在する。

【0067】上記コレクタとして作用するn領域には、抵抗を介して電源電圧 v_{dd} を印加し、エミッタとして作用するウェル領域（N-isolation）には抵抗を介して回路の接地電位 v_{ss} を供給する。上記Pウェルには、前記主回路や速度モニタ回路等のNチャンネル型MOSFETと同様に、NMOS基板バイアスが印加されている。上記寄生バイポーラ型トランジスタのコレクターエミッタ経路には電流が流れないようにバイアスする必要

があり、プロセスばらつき等によってNMOS基板バイアスによって電流を生じると、出力電圧が低下して、前記のような電圧比較回路でそれを検出することができる。

【0068】図18には、上記電流測定回路の更に他の一実施例の概略素子構造断面図が示されている。この同図でも前記同様に寄生素子の役割を判り易くするために、使用するMOSFETを前記のような単なる回路記号ではなく、デバイスの断面構造で表している。この実施例で使用するPチャンネル型MOSFETは、特に制限されないが、P型基板に形成されたN型ウェル領域に形成される。この構成に代えて、前記同様に深い深さのウェル領域(N-isolation)にN型ウェル領域を形成してもよい。

【0069】このような素子構造では、Pチャンネル型MOSFETの基板内に存在するPNP型バイポーラトランジスタ、つまり、P基板をコレクタとし、Nウェルをベースとし、ソース、ドレインを構成するp領域をエミッタしたPNP型の寄生トランジスタが存在する。上記コレクタとして作用するP基板には、抵抗を介して回路の接地電位 v_{ss} を印加し、エミッタとして作用するp領域には抵抗を介して電源電圧 v_{dd} を供給する。上記Nウェルには、前記主回路や速度モニタ回路等のPチャンネル型MOSFETと同様に、PMOS基板バイアスが印加されている。上記寄生バイポーラ型トランジスタのコレクタエミッタ経路には電流が流れないようにバイアスする必要があり、プロセスばらつき等によってPMOS基板バイアスによって電流を生じると、出力電圧が低下して、前記のような電圧比較回路でそれを検出することができる。

【0070】これらの各実施例回路により、電力制限回路は主回路のサブスレッショルドリーク電流やバイポーラ構造に起因するリーク電流が設定値より大きくなると、制限信号をアサートする。実際の回路においては、前述の異なる複数の電力測定回路を用いて複数の電力制限回路を形成し、全制限信号出力のOR（論理和）をとって基板バイアス制御回路への制限信号を供給してもよい。

【0071】図13には、上記電力制限回路の他の一実施例のブロック図が示されている。この実施例の電力制限回路は、温度測定回路と電圧比較器から構成される。温度測定回路は測定している温度を電圧値に変換して出力電圧を生成する。電圧比較器は基準電位と出力電位の電位を比較し、出力電圧が基準電位より大きくなると制限信号をアサートする。

【0072】図19には、上記温度測定回路の一実施例の回路図が示されている。この回路では、ダイオードの逆接合抵抗が温度により変化することを利用している。つまり、温度が高くなると、逆接合抵抗が小さくなって固定抵抗との抵抗比が変化して、出力電圧を電源電圧 v_{dd}

v_{dd} 方向に変化させる。電圧比較器は、上記のような出力電圧と基準電位とを比較し、出力電圧が基準電位より大きくなると制限信号をアサートする。従って、この温度検出回路により、温度を測定しそれを電圧に変換できる。

【0073】この温度測定回路の検出信号を受けて電力制限回路は主回路の温度が設定値よりも高くなると、制限信号をアサートする。実際の回路においては、温度測定用の電力制限回路と電流測定用の電力制限回路を組みあわせ、必要な種類の電力測定回路を用いて複数の電力制限回路を形成し、全制限信号出力のOR（論理和）をとって基板バイアス回路への制限信号を供給してもよい。

【0074】図20には、本発明の他の一実施例のブロック図が示されている。同図は、基本的には図1の変形例であり、速度モニタ回路に対して、制御信号発生回路が設けられる。制御信号発生回路は、クロック信号とモード切替信号を受けて、モード切替信号に対応してクロック信号の周波数を変化させる。つまり、低速モード、中速モード及び高速モードのいずれか1つを選択し、制御信号として速度モニタ回路に供給する。

【0075】この構成では、クロック信号を基準として、その周波数を基準にモード切替信号に対応した複数種類の周波数にされた制御信号を形成することができる。つまり、半導体集積回路装置の内部で周波数の形態とされた制御信号（速度情報）を形成することができる。他の構成は、前記図1の実施例と同様である。

【0076】図24には、図20の実施例における制御信号発生回路の一実施例のブロック図が示されている。この実施例の制御信号発生回路はクロック発生回路、分周回路、セレクトから構成される。クロック信号は例えば位相同期ループ回路などで構成されるクロック発生回路により周波数を逡倍させる。かかる逡倍された生成クロック信号は、分周回路を用いて分周される。分周回路では、複数の分周段を持ち、各分周段からそれぞれの段数に応じた分周信号が形成される事により複数の異なる周波数を持った分周信号を生成する。

【0077】セレクトは上記複数の分周信号の中から、モード切替信号に応じて1つの分周信号を選択し、前記のように周波数の形態とされた制御信号として、前記のような速度モニタ回路に供給する。このような制御信号発生回路を用いることによって、前記図20の実施例に示されたように、モード切替信号に応じた周波数の制御信号を速度モニタに供給する事ができる。

【0078】前記図40に示されたように、高速モード、中速モード及び低速モードの中かから、マイクロプロセッサの性能ばらつきを高速モードに統一するためには、図20の実施例のようにモード切替信号を用いて周波数の高い制御信号を供給すればよい。また、同様に、マイクロプロセッサの性能ばらつきを中速モードあるい

は低速モードに統一するためには、図 20 の実施例でモード切替信号を用いて周波数の低い分周信号を選択して制御信号を形成し、速度モニタ回路に供給すればよい。

【0079】図 21 には、本発明の他の一実施例のブロック図が示されている。同図は、基本的には図 1 の変形例であり、速度モニタ回路に直接モード切替信号を供給する。モード切替信号を用いて速度モニタ回路の遅延時間若しくはリング発振回路の発振周波数を変化させる事で、主回路を高速モード、中速モード、低速モードといった、所望のモードごとにばらつきを抑制できる。他の構成は、前記図 1 の実施例と同様である。

【0080】図 22 には、本発明の他の一実施例のブロック図が示されている。同図は、図 2 の実施例にモード切替信号を付加した変形例であり、図 2 の実施例における遅延列に直接モード切替信号が供給される。つまり、遅延列に対してモード切替信号により遅延段数が切替られる。

【0081】例えば、遅延段数を少なくすると、同じ基板バイアスなら遅延時間が短くなる。その結果、基準となるクロック信号の 1 周期に上記遅延時間を合わせるように基板バイアスを逆バイアス方向に大きくする。つまり、遅延段数が少なくなった分だけ 1 つの遅延段当たりの遅延時間を大きくするような基板バイアスの制御がかかることとなる。かかる基板バイアスでは、上記のような速度モニタ回路での長くされた遅延時間に対応して主回路は、低速モードで動作することとなる。

【0082】逆に、遅延段数を増やすと、同じ基板バイアスなら遅延時間が長くなる。その結果、長くなった遅延時間を基準となるクロック信号を 1 周期に合わせるように基板バイアスを順バイアス方向に小さくして、遅延段数が多くなった分だけ 1 つの遅延段当たりの遅延時間を小さくするような基板バイアスの制御が行われる。これにより、上記とは逆に主回路及び速度モニタ回路は高速モードに設定される。中速モードは、その中間の遅延段数が選択される。

【0083】図 25 には、上記図 22 の遅延列の一実施例の回路図が示されている。遅延列は、インバータ等の CMOS 論理回路で構成される複数個の遅延素子と 2 つのセクタ 22、セクタ 23 からなる。遅延素子は直列に接続され、初段の遅延素子に基準信号が入力される。遅延素子列の任意の位置から出力が出され、セクタ 22 やセクタ 23 はモード切替信号に応じた位置にある遅延素子の出力を選択し、遅延信号 11、遅延信号 12 として出力する。

【0084】上記遅延信号 11 と 12 は、前記図 7 に示した位相関係のときに動作モードに対応した目標値に基板バイアスが設定される。逆にいうなら、基準信号のパルス幅（クロック信号の 1 周期）に対して、遅延信号 11 は短く、遅延信号 12 は長くなるように基板バイアスの制御がなされる。この基準信号のパルス幅が一定であ

るので、モード切替信号によりセクタ 22 と 23 により遅延列の遅延段数が切り替えられることによって、個々の遅延段での遅延時間が選択された段数と逆比例となるように基板バイアスが制御されるので、主回路での動作速度の切り替えが行われる。上記遅延列の遅延素子はインバータ以外にも NAND や NOR といった CMOS 論理回路でよく、あるいはマイクロプロセッサのクリティカルパスを用いてもよい。

【0085】図 26 には、上記遅延列の他の一実施例の回路図が示されている。この実施例では、図 25 と逆に、モード選択信号に応じてセクタ 24 により、基準信号をどの位置の遅延素子（遅延段）へ入力させるかを決定する。出力位置は固定されている。これらの構成によっても、前記図 25 と同様な動作を行わせることができる。この実施例でも、前記同様に高速モードでは遅延素子列中の遅延素子数を増やし、遅延列の遅延時間を長くする。逆に低速モードでは遅延素子列中の遅延素子数を減らし、遅延列中の遅延時間を短くする。この実施例では、上記 2 つの遅延信号 11 と 12 の組み合わせにより、速度判定を行う場合において、1 つのセクタ 24 により構成できるので、回路の簡素化を図ることができる。

【0086】図 23 には、本発明の更に他の一実施例のブロック図が示されている。同図は、図 3 の実施例にモード切替信号を付加した変形例であり、図 3 の実施例におけるリング発振回路に直接モード切替信号が供給される。つまり、リング発振回路に対してモード切替信号によりリング発振回路のインバータ段数が切替られる。

【0087】例えば、遅延段数を少なくすると、同じ基板バイアスなら帰還ループでの遅延時間が短くなる。その結果、リング発振回路の発振周波数は高くなる。したがって、基準となるクロック信号の周波数（位相）とリング発振回路の発振周波数を合わせるようにリング発振回路の発振周波数を低くするように、基板バイアスを逆バイアス方向に変化させる。つまり、リング段数が少なくなった分だけ 1 つの遅延段当たりの遅延時間を大きくするような基板バイアスの制御がかかることとなり、かかる基板バイアスでは、主回路は低速モードで動作することとなる。

【0088】逆に、遅延段数を増やすと、同じ基板バイアスなら遅延時間が長くなる。その結果、リング発振回路の発振周波数は高くなる。したがって、基準となるクロック信号の周波数に上記リング発振回路の発振周波数を合わせるように（遅延時間を短くするように）基板バイアスを順バイアス方向に小さくするような制御がかかり、上記のように遅延段数が多くなった分だけ 1 つの遅延段当たりの遅延時間を小さくするような基板バイアスが小さくなる。これにより、上記とは逆に主回路及び速度モニタ回路は高速モードに設定される。中速モードは、その中間の遅延段数が選択される。

【0089】図27には、リング発振回路の一実施例の回路図が示されている。リング発振回路は、インバータ等のCMOS論理回路で構成される複数個かつの遅延素子とセクタ25からなる。遅延素子はリング状に接続され、任意の遅延素子から発進信号を出力する。モード切替信号に応じて、セクタ25はインバータ列が何段でリングを形成するかを決定する。遅延素子はインバータ以外にもNANDやNORといったCMOS論理回路でよく、あるいはマイクロプロセッサのクリティカルパスを用いてもよい。これらの構成により、図23実施例では、例えば高速モードではリング発進回路中の素子数を増やし、発振周波数を低くする。逆に低速モードではリング発進回路中の素子数を減らして、リング発進回路中の遅延時間を高くする。

【0090】図28には、この発明に係る半導体集積回路装置の一実施例の概略ブロック図が示されている。この実施例の半導体集積回路装置は、主回路に対して1つの制御回路が設けられる。この実施例では、前記図1等で説明してきた基板バイアスを制御するための制御回路が組み込まれている。同一チップにこのような制御回路を組み込み、半導体集積回路装置の主回路のPMOS基板バイアス及びNMOS基板バイアスを生成する事が可能である。制御回路に与えられる制御信号及びモード切替信号は、チップの外部から供給されてもよい。あるいはチップ内で命令をデコードして与えてもよい。

【0091】図29には、この発明に係る半導体集積回路装置の他の一実施例の概略ブロック図が示されている。この実施例では、主回路の規模が大きい場合、主回路は複数のブロックに分割される。このように分割された複数のブロック毎に前記図1等で説明した制御回路が設けられる。このことにより基板に生じる基板ノイズを防止したり、あるいはブロック毎に異なる制御をする事で、きめ細かな高速化や低消費電力化を実現できる。この場合でも、制御信号及びモード切替信号はチップ外部から供給されても、チップ内部から命令を与えてもよい。また、制御信号及びモード切替信号をブロック毎に変える事で、前述したブロック毎の異なる制御を可能とする。

【0092】図30には、この発明に係る半導体集積回路装置の他の一実施例の概略ブロック図が示されている。この実施例でも、主回路は複数のブロックに分割される。このように分割された複数のブロックが設けられた場合、制御回路のうち直接的に基板バイアスを形成するD/Aコンバータ回路だけを、各ブロック毎に分散して複数個配置することにより、面積の増加を抑える事ができる。

【0093】図31には、この発明に係る半導体集積回路装置の更に他の一実施例の概略ブロック図が示されている。この実施例では、主回路内に制御回路を組み込み、制御回路のうちD/Aコンバータだけを主回路のチ

ップと別チップで用意し、制御回路からデコーダ信号をD/Aコンバータに伝え、それに応じてD/AコンバータがPMOS基板バイアス及びNMOS基板バイアスを主回路に供給する。このようにD/Aコンバータを別チップで用意する場合には、バイポーラ型トランジスタ等を用いて低電源インピーダンスで基板バイアス電圧を形成することができる。

【0094】図32には、この発明に係る半導体集積回路装置の一実施例の構成図が示されている。この実施例では、動作モードは通常動作とスタンバイモードの2種類から構成される。主回路及び速度モニタ回路の電源電圧が $v_{dd}=1.8V$ 、 $v_{ss}=0.0V$ である場合、制御を行わなければPMOS基板バイアスを $1.8V$ 、NMOS基板バイアスを $0.0V$ とすることで通常動作を行わせる。しきい値電圧のばらつき制御動作をするためには、PMOS基板バイアスを逆バイアス $3.3V$ から順バイアス $1.3V$ まで変化させ、NMOS基板バイアスを逆バイアス $-1.5V$ から順バイアス $0.5V$ まで変化させる。

【0095】そして、主回路が動作をしないスタンバイモードにあるときには、基板バイアスを最も深くする、すなわちPMOS基板バイアスを $3.3V$ 、NMOS基板バイアスを $-1.5V$ とすることで、スタンバイ中のサブスレッショルドリーク電流を低減できる。これらの動作を組み合わせる事で、高速でかつ低消費電力な半導体集積回路装置を実現する事ができる。このような動作モードの指示は、例えば前記制御信号をロウレベル又はハイレベルに固定すること、言い換えるならば、速度情報周波数の形態で入力されたクロック信号の周波数をゼロにすればよい。あるいは、前記モード切替信号により、モニタ回路や基板バイアス制御回路の動作を実質的に停止させ、上記電圧 $3.3V$ と $-1.5V$ を固定的に供給するものであってもよい。

【0096】図33には、この発明に係る半導体集積回路装置の他の一実施例の構成図が示されている。この実施例では、電源電圧の制御によって、前記基板バイアスの制御と同様な速度制御を行うようにするものである。つまり、前記図1ないし図32等で説明した実施例では、主回路や速度モニタの動作速度を制御するために、基板バイアスを変化させるものであるが、このような基板バイアスの制御の代わりに、電源電圧を制御しても同じように高速化、低消費電力化、ばらつきの抑制を同時に実現する事ができる。

【0097】この場合は、電源電圧が $1.3V$ と $0.5V$ のときに低電力、あるいはスタンバイモードにあり、電源電位が $3.3V$ と $-1.5V$ の時に高速モードになる。そして、かかる低速モードあるいは高速モードにおけるMOSFETのしきい値電圧のばらつき制御は、高電圧側が $3.3V \sim 1.3V$ であり、低電圧側が $-1.5V \sim 0.5V$ となる。上記低電圧側は接地電位 v_{ss}

に固定するものであってもよい。このような電源電圧を制御する場合は、前記図 2 等の実施例におけるアップとダウン信号の入力を交換する必要がある。

【0098】図 3 4 には、この発明に係る半導体集積回路装置の更に他の一実施例の構成図が示されている。この実施例では、基本的には図 3 3 と同様に電源電圧の制御によって、前記基板バイアスの制御と同様な速度制御を行うようにするものである。前記図 3 3 と異なる点は、MOSFET の基板バイアスを v_{dd} や v_{ss} に固定し、電源電圧を制御するものである。この場合には、図 3 3 のように低電圧側を接地電位に固定するというような変形を採ることができず、例えば電源電圧が 1.3 V と 0.5 V のときに低電力、あるいはスタンバイモードにあり、電源電位が 3.3 V と -1.5 V の時に高速モードになり、かかる低速モードあるいは高速モードにおける MOSFET のしきい値電圧のばらつき制御は、高電圧側が 3.3 V ~ 1.3 V であり、低電圧側が -1.5 V ~ 0.5 V となる。したがって、基板バイアスを固定した場合、ソースに与えられる電源電圧との相対的關係で、前記基板バイアスの制御と同様となり、図 3 3 の実施例に比べて制御性を改善することができる。

【0099】以上の実施例では、高速かつ低消費電力で動作が可能な半導体集積回路において、以下に示す課題を同時に満たす CMOS 回路、及びそれらで構成された CMOS-LSI チップならびに半導体集積回路装置を提供できる。

(1) CMOS 回路の性能ばらつきを抑制し歩留まりを向上する。

(2) ばらつきによって、低速になったチップを高速化できる。

(3) ばらつきによって高消費電力になったチップを低電力化できる。

【0100】この発明の基板バイアス電圧の制御による前記半導体集積回路装置の製造歩留りを改善するという発想は、次のような発展形へと導かれる。すなわち、近年のような MOSFET の低電圧動作のために、しきい値電圧を低くする必要がある。しかし、このようにしきい値電圧を低くするためにはゲート絶縁膜の膜厚を薄く形成することが必要であり、作成プロセスにおけるばらつきが大きくなるとともに、耐圧が低下して信頼性に問題が生じる。

【0101】そこで、発展させられた本発明の別の実施例では、プロセス的な真性のしきい値電圧は耐圧やプロセスのばらつきを優先させて比較的大きく設定する。いわば一世代前の確立されたプロセスを用いることにより、比較的安定した素子特性ばらつきやゲート絶縁耐圧を確保することができる。しかし、このような素子をそのまま用いると、低消費電力化のために動作電圧を低くすると回路が動作しないか、あるいは回路が動作しても十分な動作電流が得られなくなって、所望の動作速度が

得られなくなってしまう。そこで、所望の回路動作を実現するために、言い換えるならば、実効的な MOSFET のしきい値電圧を低くするために、MOSFET が形成される半導体領域に順バイアス方向の基板電圧を与えるようにするものである。つまり、前記の「基板バイアスを浅くする」ためだけの基板バイアス回路を設ける。

【0102】もとより、MOSFET の基板バイアスを浅くすると MOSFET のしきい値電圧を低して動作速度を速すること自体は、一般的に知られている。しかしながら、このように基板バイアスを浅くするのは、基板バイアスを深くすることとの組み合わせからなるものであり、MOSFET が形成される半導体領域に専ら順バイアス電圧のみを供給するようにして、信頼性や所望の動作速度を確保しつつ、製品歩留りの改善を図るというような発想は存在しない。

【0103】つまり、従来技術では、MOSFET が形成される半導体領域に順バイアスを加えて MOSFET のしきい値電圧を低して動作を高速にすると、反面においてラッチアップ等の素子破壊に至るという致命的な問題が生じるため、比較的大きな素子のプロセスばらつきを考慮したマージンを設けるなど、素子破壊防止を最優先の条件として回路を構成するものである。これに対して、本願発明の発展させられた発明の別の実施例では、以下に説明するような電流制限回路の付加によって、高い信頼性のもとに所望の動作速度を確保しつつ、製品歩留りの改善を図ることができるものとなる。そして、制御性と素子の微細化に適合した半導体集積回路装置を得ることができる。

【0104】図 4 5 には、本発明に係る半導体集積回路装置の他の一実施例の基本的なブロック図が示されている。同図には、前記同様に本発明に関連する回路ブロックを取り出して示されている。基板バイアス発生回路 S BG 1 は、主回路 L S I 1 を構成する MOSFET の基板に与える電圧を発生し、PMOS トランジスタへの基板バイアス N 1 と nMOS トランジスタへの基板バイアス N 3 を出力する。上記基板バイアス N 1 と N 3 は、上記 MOSFET のソースとそれが形成される半導体領域との間の PN 接合に順バイアス方向の電圧とされる。

【0105】このような順バイアス N 1 と N 3 を印加した場合において、前記のようなラッチアップ等による素子破壊を確実に防止するために電流制限回路 C L C 1 および C L C 2 が設けられる。これらの電流制限回路 C L C 1 および C L C 2 のそれぞれは、上記基板バイアス N 1 および N 3 を受けて、同じ電位の基板バイアスを N 2, N 4 として主回路 L S I 1 の MOSFET の基板に供給するとともに、それに流れる電流を制限するように機能する。

【0106】上記電流制限回路 C L C 1 および C L C 2 は、基板バイアス発生回路 S BG 1 が発生する基板バイアスにより主回路 L S I 1 内で流れる素子破壊に至るよ

うな電流量を制限する。つまり、PMOSトランジスタの基板バイアスが電源電位VDDよりも低い場合、あるいはNMOSトランジスタの基板バイアスがグランド電位よりも高い場合、この基板バイアスは順方向バイアスとなり、トランジスタ内に存在するPN接合や、寄生バイポーラトランジスタに大きな電流を流してしまう。この大電流は、無駄な電力を増やし、主回路LSI1を誤動作させ、また大電流が流れすぎてトランジスタを破壊してしまうラッチアップという現象を引き起こすことがある。

【0107】そこで、電流制限回路CLC1およびCLC2を用いて主回路LSI1内のMOSトランジスタ基板に流れる電流量を制限することで、主回路LSI1の動作信頼性を向上させることができる。前記図14ないし図19のような実施例の電力制限回路は、それモニタ回路に流れる電流を検知して、主回路での電流制御を行なうようにするものである。これに対して、図45の実施例は、主回路そのものに流れる電流にตอบสนองして、その電流制限のものであるので信頼性の上で格段に優れている。つまり、前記の実施例では、1つの半導体集積回路に形成される素子特性のばらつきの影響を受けるので、素子ばらつきのワーストケースを考慮したマージンが必要になるものである。これに対して、この実施例では、主回路そのものに流れる電流にตอบสนองして電流制限動作が行なわれるために素子ばらつきを考慮したマージンが不要になるものである。

【0108】図46には、本発明に係る半導体集積回路装置の他の一実施例の基本的なブロック図が示されている。この実施例では、基板バイアス発生回路SBG1は、図46に示すように、基板バイアス用電圧源VGN1と電流増幅回路AMP1、AMP2から構成されることに着目し、上記電流増幅回路AMP1、AMP2の電流供給能力に電流制限機能を付加するものである。別の見方をすると、電流増幅回路は出力回路であり、有限の出力インピーダンスを有している。この出力インピーダンスを積極的に活用し、主回路そのものに流れる電流が予め決められた電流量を超えたなら、その電圧降下によって順方向のバイアス電圧を低下させられるため、リーク電流量制限が行なわれるものである。

【0109】つまり、基板バイアス用電圧源VGN1は、主回路LSI1に与える基板バイアスにあたる電圧をそれぞれN5、N6から出力する。電流増幅回路AMP1、AMP2はN5、N6の電位を保ったまま、供給できる電流量を増幅させる。このようにして、増幅されて十分な電流を供給できるようになった基板バイアス発生回路SBG1は基板バイアスをN1、N3から出力する。これらのバイアスは、主回路LSI1に与えられる。このことにより、主回路LSI1に与えられる順バイアスにより、MOSトランジスタ内部に存在するP/N接合や寄生バイポーラトランジスタに流れる無駄な電

流を減らして誤動作を抑えることができる。この実施例では、出力回路の出力インピーダンスを利用するので、回路素子数を低減できるものとなる。

【0110】電流増幅回路AMP1、AMP2による電流を制限は、基板バイアスを供給する主回路LSI1の回路規模が変わる場合には、規模に応じて電流制限回路AMP1、AMP2を設計しなおす必要がある。この点に関しては、前記図45の実施例のように基板バイアス回路SBG1は、専ら基板バイアスの出力とし、その電流量制限を電流制限回路CLC1及びCLC2に受け持たせた方が回路の設計の簡素化あるいは汎用化できる点で優れている。つまり、電流制限回路CLC1、CLC2を基板バイアス発生回路SBG1と主回路LSI1の間に設ければ、基板バイアス回路SBG1を標準化（セル化）しておき、電流制限回路CLC1、CLC2だけを、個々の回路に対応して設計することにより主回路LSI1に応じた最適な電流制限が簡単に実現できる。

【0111】図47には、上記電流制限回路の一実施例が回路図が示されている。この実施例では、上記電流制限回路は、抵抗RES1で構成される。前記図45において、接続端子N1、N2間に対応した素子が示されているが、接続端子N3、N4間においても同様な抵抗が設けられる。例えば主回路LSI1が標準的な100万MOSトランジスタ規模のマイクロプロセッサである場合には、基板バイアス用に約1mA程度の電流を供給できれば充分であると仮定すると、0.5Vの順バイアスを与える場合には0.5kΩの抵抗が必要になる。

【0112】上記の抵抗値0.5kΩを持つ抵抗RES1を通常の半導体プロセスで用いられるアルミニウムあるいは銅などの配線で作ろうとすると、面積が大きくなり無駄になる。例えば、0.5μm幅のアルミニウム配線では、0.5kΩの抵抗を実現するためには4mもの長さが必要になってしまう。そこで、この実施例の抵抗RES1は、ポリシリコン配線や拡散層抵抗など、比較的抵抗の高い材料を用いて形成される。このような素子を用いた場合には、配線長が10μm程度と面積も小さく済み、またアルミニウムや銅などの端子間接続用の配線については設計上の長さ等を考慮する必要がなくなり、設計が簡易になる。この抵抗RES1による電流制限回路は、基板電圧制限回路と見ることもできる。つまり、上記リーク電流に対応して、抵抗RES1で電圧降下が発生して基板に印加される順バイアス電圧が小さくされ、結果としてリーク電流が制限される。

【0113】前記図46に示される電流増幅回路AMP1、AMP2で電流量を制限するための設計をする場合には、上記主回路LSI1のMOSトランジスタ規模などに対応して個々に設計する必要があるが、前記図45のように電流制限回路CLC1、CLC2を用い、それを抵抗RES1で行う場合には、上記主回路LSI1のMOSトランジスタ規模などに対応して抵抗値の変更だ

けで済む。

【0114】図48には上記電流制限回路の他の一実施例の回路図が示されている。この実施例の電流制限回路は、NMOSトランジスタMN1で構成される。通常は、制御電圧VCNT1を電源電圧と等しくし、NMOSトランジスタMN1の寸法を調整することで、電流制限量を制御する。制御電圧VCNT1を可変にすると、NMOSトランジスタMN1の寸法は一定にしたまま、すなわち主回路LSI1の回路規模によって設計を変更することなしに、制御電圧VCNT1を変化させることで、最適な電流制限が可能となる。

【0115】図49には上記電流制限回路の他の一実施例の回路図が示されている。この実施例の電流制限回路は、PMOSトランジスタMP1で構成される。通常は、制御電圧VCNT2をグランド電圧と等しくし、PMOSトランジスタMP1の寸法を調整することで、電流制限量を制御する。制御電圧VCNT2を可変にすると、PMOSトランジスタMP1の寸法は一定にしたまま、すなわち主回路LSI1の回路規模によって設計を変更することなしに、制御電圧VCNT2を変化させることで、最適な電流制限が可能となる。

【0116】図50には上記電流制限回路の他の一実施例の回路図が示されている。この実施例では、カレントミラー型回路により、電流制限を実現している。電流は、この回路を構成するMOSトランジスタMP11、MP12、MN13の寸法により、あるいは制御電圧VCNT3の電圧により制御できる。つまり、制御電圧VCNT3がゲートに印加されたNMOSトランジスタMN13により電流を形成し、それをPMOSトランジスタMP12、MP13によるカレントミラー回路に供給して電流制限を行なうようにするものである。この場合、接続端子N1とN2の間に流れる最大電流は、MOSトランジスタMP11、MP12、MN13の寸法、あるいは制御電圧VCNT3の電圧により制御できるが、基板電流がそれ以下の場合には基板電流に従った電流しか流れないというまでもない。

【0117】図51には電流制限回路の他の一実施例の回路図が示されている。この実施例では、図50の実施例と同様にカレントミラー型回路により、電流制限を実現している。この実施例では、MOSトランジスタの導電型が前記図50の実施例とは逆になっており、前記同様に電流は、この回路を構成するMOSトランジスタMN11、MN12、MP13の寸法により、あるいは制御電圧VCNT4の電圧により制御できる。

【0118】図52は、この発明を説明するための半導体集積回路装置の概略素子構造断面図が示されている。この実施例では、基板制御用3重ウエル構造に向けられている。基板バイアス制御を実現するためには、シリコンウエハのP型基板PSUB1と、各MOSトランジスタのウエルを構成するP型ウエルPWEL1、N型NW

EL1それぞれをN型基板分離層NISO1で分離する必要がある、図のような素子断面構造になる。

【0119】このとき、MOSトランジスタに順バイアスを与えると、ウエル内に存在するP/N接合に順方向電流C1が流れる。この電流は、電流制限回路CLC1、CLC2で供給電流を制限することにより直接抑制できる。また、MOSトランジスタの基板内には図に示すように寄生バイポーラトランジスタNPN1、PNP1が存在する。寄生バイポーラトランジスタNPN1では、ベース電流を電流制限回路CLC2で制限し、コレクタ/エミッタ間電流を電流制限回路CLC1で制限することにより過大電流が流れるのを防いでいる。寄生バイポーラトランジスタPNP1では、電流制限回路CLC1がベース電流を制限し、またN型基板分離層NISO1の厚みによりこのトランジスタのベース距離が長くなることで、コレクタ/エミッタ間電流は小さくなる。このようにして、電流制限回路CLC1やCLC2は、順方向の基板バイアスによって増加するP/N接合電流や、寄生バイポーラ電流を抑制する。

【0120】図53は、この発明を説明するための半導体集積回路装置の概略素子構造断面図が示されている。この実施例でも、前記同様に基板制御用3重ウエル構造に向けられている。上記3重ウエル構造では、隣接するP型ウエルPWEL1とN型ウエルNWEL1との間でも寄生バイポーラトランジスタNPN2、PNP2が存在する。このトランジスタは、サイリスタ構造をしており、ひとたびバイポーラ動作を始めると大電流を流してしまい、ラッチアップという現象をおこす。その結果、基板内に過大電流が流れてMOSトランジスタを破壊してしまったり、回路の誤動作を引き起こすことになる。この実施例では、前記のような電流制限回路CLC1、CLC2が電流量を制限することによって、このラッチアップが起こらないように抑制している。

【0121】図54には、この発明を説明するための半導体集積回路装置の概略素子構造断面図が示されている。この実施例では基板制御用シリコン・オン・インシュレータ構造に向けられている。基板バイアス制御を実現するもう一つ的手段として、P型基板PSUB1とMOSトランジスタのウエルを酸化膜分離層SOI1によって分離する方法がある。この場合も、基板バイアスを順バイアスにすると、P/N接合順方向電流C1や、寄生バイポーラトランジスタNPN3、PNP3によるラッチアップ現象がおこりやすくなるが、電流制限回路CLC1、CLC2によって、その危険性を取り除くことができる。

【0122】図55には、本発明に係る半導体集積回路装置の他の一実施例の基本的なブロック図が示されている。基板バイアス発生回路SBG1が生成した基板バイアスはノード（接続点）N1、N3を通して電流制限回路CLC11、CLC12に供給され、ノード（接続

点) N2, N4を経て主回路LSI1の基板に供給される。電流制限回路CLC11, CLC12は、選択回路SEL1の選択信号N11に応じて電流制限量を変化させる。このことにより、主回路LSI1の基板制御を行う際に、製造プロセスのばらつきや回路規模に応じて最適な電流制限を設計変更することなく行うことが可能である。また動作中に温度や電源電圧などが変化するような場合でも、そのつど最適な電流制限を施すことが可能である。

【0123】図56には、本発明に係る半導体集積回路装置の他の一実施例の基本的ブロック図が示されている。基板バイアス発生回路SBG1は、基板バイアス用電圧源VGN1および電流増幅回路AMP1, AMP2から構成されている。電流増幅回路AMP1, AMP2は、その出力インピーダンスが選択回路SEL1の選択信号N11により、最適な電流制限を行うよう制御される。このような出力インピーダンスの制御によって、主回路LSI1の基板制御を行う際に、製造プロセスのばらつきや回路規模に応じた最適な電流制限を設計変更することなく行うことが可能となる。

【0124】図57には、前記図55の実施例に対応した電流制限回路の一実施例の回路図が示されている。この実施例の電流制限回路は、並列な複数の抵抗RES11, RES12, RES13, RES14からなる。抵抗は、それと直列に配置されたスイッチ用のNチャンネル型MOSトランジスタMN21, MN22, MN23, MN24によって選ばれる。選択回路SEL1はスイッチ用のNチャンネル型MOSトランジスタのうち1つのスイッチを選び、そこに配置されている抵抗が電流制限回路として動作する。抵抗RES11, RES12, RES13, RES14は異なる抵抗値を持っており、選択回路SEL1の信号に応じて電流制限量を変えることが可能とされる。この構成に変え、スイッチ用スイッチ用MOSトランジスタは1ないし複数個が同時にオン状態にされるようにし、その合成抵抗値を変化させることによって、電流制限量を変えるようにしてもよい。

【0125】図58には、前記図55の実施例に対応した電流制限回路の他の一実施例の回路図が示されている。この実施例の電流制限回路は、並列な複数の抵抗RES11, RES12, RES13, RES14からなる。抵抗は、それと直列に配置されたスイッチ用のPチャンネル型MOSトランジスタMP21, MP22, MP23, MP24によって選ばれる。選択回路SEL1はスイッチ用のPチャンネル型MOSトランジスタのうち1つのスイッチを選び、そこに配置されている抵抗が電流制限回路として動作する。抵抗RES11, RES12, RES13, RES14は異なる抵抗値を持っており、選択回路SEL1の信号に応じて電流制限量を変えることが可能である。この構成に変え、前記同様にス

イッチ用スイッチ用MOSトランジスタは1ないし複数個が同時にオン状態にされるようにし、その合成抵抗値を変化させることによって、電流制限量を変えるようにしてもよい。

【0126】図59には、前記図55の実施例に対応した電流制限回路の他の一実施例の回路図が示されている。この実施例の電流制限回路は、複数の並列なNチャンネル型MOSトランジスタMN31, MN32, MN33, MN34からなる。各Nチャンネル型のMOSトランジスタは寸法がそれぞれ異なり、選択回路SEL1により選ばれた少なくとも1つのトランジスタが持つインピーダンスにより、電流制限を行うことができる。各トランジスタの寸法が同じで、選択回路SEL1が選ぶトランジスタ数を変化させることによっても電流制限量を制御することができる。

【0127】図60には、前記図55の実施例に対応した電流制限回路の他の一実施例の回路図が示されている。この実施例の電流制限回路は、1つのNチャンネル型MOSトランジスタMN41で構成される。選択回路SEL11が出力する制御用アナログ電圧N31の電圧値に応じてNチャンネル型MOSトランジスタMN41のインピーダンスは変化するので、選択回路SEL11によって電流制限量を変化させることができる。

【0128】図61には、前記図55の実施例に対応した電流制限回路の他の一実施例の回路図が示されている。この実施例の電流制限回路は、複数の並列なPチャンネル型MOSトランジスタMP31, MP32, MP33, MP34からなる。各Pチャンネル型トランジスタは寸法がそれぞれ異なり、選択回路SEL1により選ばれた少なくとも1つのトランジスタが持つインピーダンスにより、電流制限を行うことができる。各トランジスタの寸法が同じで、選択回路SEL1が選ぶトランジスタ数を変化させることによっても電流制限量を制御することができる。

【0129】図62には、前記図55の実施例に対応した電流制限回路の他の一実施例の回路図が示されている。この実施例の電流制限回路は、1つのPチャンネル型MOSトランジスタMP41で構成される。選択回路SEL11が出力する制御用アナログ電圧N31の電圧値に応じてPチャンネル型MOSトランジスタMP41のインピーダンスは変化するので、選択回路SEL11によって電流制限量を変化させることができる。

【0130】図63には、前記図55の実施例に対応した電流制限回路の他の一実施例の回路図が示されている。この実施例の電流制限回路は、カレントミラー回路が用いられる。カレントミラー回路に供給する電流を形成するNチャンネル型MOSトランジスタをNMOSTランジスタMN51, MN52, MN53, MN54のように並列に配置し、各Nチャンネル型MOSトランジスタの寸法を異なるように設定しておき、選択回路SE

L1に選ばれたMOSトランジスタに流れる電流に応じて、上記カレントミラー回路を動作させて電流制限量を調節することができる。上記各トランジスタ寸法が異なっても同じでも、選択回路SEL1が選ぶトランジスタの数を変化させることにより、同様に電流制限量を調節するようにしてもよい。

【0131】図64には、前記図55の実施例に対応した電流制限回路の他の一実施例の回路図が示されている。この実施例の電流制限回路は、カレントミラー回路が用いられる。カレントミラー回路に供給する電流を形成するPチャンネル型MOSトランジスタをMP51、MP52、MP53、MP54のように並列に配置し、各PMOSトランジスタの寸法を異なるもので構成すると、選択回路SEL1に選ばれたトランジスタに応じて、電流制限量を調節できる。各トランジスタ寸法が異なっても同じでも、選択回路SEL1が選ぶトランジスタの数を変化させることにより、同様に電流制限量を調節できる。

【0132】図65には、前記図57等の実施例に用いられる選択回路の一実施例のブロック図が示されている。主回路LSI1内部に制御電流選択レジスタREG1が設けられる。このレジスタREG1には、内部命令によりレジスタ信号N41を生成し、選択回路SEL1がその信号をデコードすることにより、前記選択信号N21、N22、N23、N24を形成される。

【0133】図66には、前記選択回路の他の一実施例のブロック図が示されている。主回路LSI1の入出力端子部分に制御電流選択ピンPIN1が設けられる。この制御電流選択ピンPIN1には、かかる選択ピンに電源電圧に対応したハイレベルと回路の接地電位に対応したロウレベルの供給することにより選択信号N42が生成され、選択回路SEL1がその信号をデコードすることにより、選択信号N21、N22、N23、N24が形成される。

【0134】図67には、前記選択回路の他の一実施例のブロック図が示されている。主回路LSI1内部に制御電流選択ヒューズFUS1が設けられる。このヒューズFUS1は、半導体ウェハ上に回路が完成された時点でレーザー光線により選択的に切断されることに応じて選択信号N43を生成し、選択回路SEL1がその信号をデコードすることにより、選択信号N21、N22、N23、N24が形成される。

【0135】図68には、前記選択回路の他の一実施例のブロック図が示されている。主回路LSI1内部に基板電流検出回路SCD1が設けられる。この基板電流検出回路SCD1は主回路LSI1の基板電流を測定し、電流に応じて選択信号N44を生成し、選択回路SEL1がその信号をデコードすることにより、選択信号N21、N22、N23、N24を出力する。

【0136】図69には、前記図62等の実施例に用い

られる選択回路の一実施例のブロック図が示されている。主回路LSI1内部に制御電流選択レジスタREG1が設けられる。このレジスタREG1には、内部命令によりレジスタ信号N41を生成し、選択回路SEL1がその信号をデコード（又はデジタル／アナログ変換）することにより前記選択信号N31が形成される。

【0137】図70には、前記選択回路の他の一実施例のブロック図が示されている。主回路LSI1の入出力端子部分に制御電流選択ピンPIN1が設けられる。この制御電流選択ピンPIN1には、かかる選択ピンに電源電圧に対応したハイレベルと回路の接地電位に対応したロウレベルの供給することにより選択信号N42が生成され、選択回路SEL1がその信号をデコード（又はデジタル／アナログ変換）することにより前記選択信号N31が形成される。

【0138】図71には、前記選択回路の他の一実施例のブロック図が示されている。主回路LSI1内部に制御電流選択ヒューズFUS1が設けられる。このヒューズFUS1は、半導体ウェハ上に回路が完成された時点でレーザー光線により選択的に切断されることに応じて選択信号N43を生成し、選択回路SEL1がその信号をデコード（又はデジタル／アナログ変換）することにより前記選択信号N31が形成される。

【0139】図72には、前記選択回路の他の一実施例のブロック図が示されている。主回路LSI1内部に基板電流検出回路SCD1が設けられる。この基板電流検出回路SCD1は主回路LSI1の基板電流を測定し、電流に応じて選択信号N44を生成し、選択回路SEL1がその信号をデコード（又はデジタル／アナログ変換）することにより前記選択信号N31が形成される。

【0140】図73には、前記基板電流検出回路の一実施例のブロック図が示されている。この実施例の基板電流検出回路は、リーク電流測定回路LCM1、比較器CMP1、アップカウンタUCT1、分周器DIV1から構成される。リーク電流測定回路LCM1は、測定されたリーク電流に応じた出力電圧をN51から発生し、比較器CMP1はN51の電圧と基準電位VRF1を比較する。リーク電流に対応した電圧N51が基準電位VRF1より低い間は、比較器CMP1からアップ信号N52が出力される。

【0141】分周器DIV1はクロック信号CLK1を分周して適当な周波数に落とし、アップカウンタUCT1のカウント用クロックN53を与える。アップカウンタUCT1はアップ信号N52を受け取るとカウント用クロックN53に従って出力信号N44をカウントアップしていく。リーク電流測定回路LCM1の測定する電流が所定の値以上になり、出力電圧N51が基準電位VRF1より高くなると、比較器CMP1はアップ信号を出力しなくなり、アップカウンタUCT1は出力信号のカウントアップを停止する。

【0142】アップカウンタUCT1の出力信号N44がカウントアップされると、図68で示される選択回路SEL1の出力がアップしていき、例えば図57に示すような電流制限回路が供給できる電流量が増える。このようにして、リーク電流測定回路LCM1によって測定されるリーク電流が所定の値以上に増加すると、アップカウンタUCT1の出力が固定され、最適な電流制限回路が自動的に選択されることになる。

【0143】図74には、前記基板電流検出回路の他の一実施例のブロック図が示されている。この実施例の基板電流検出回路は、リーク電流測定回路LCM1、比較器CMP2、ダウンカウンタDCT1、分周器DIV1から構成される。リーク電流測定回路LCM1は、測定されたリーク電流に応じた出力電圧をN51から発生し、比較器CMP2はN51の電圧と基準電位VRF2を比較する。リーク電流に対応した電圧N51が基準電位VRF2より高い間は、比較器CMP2からダウン信号N54が出力される。

【0144】分周器DIV1はクロック信号CLK1を分周して適当な周波数におとし、ダウンカウンタDCT1のカウント用クロックN53を与える。ダウンカウンタDCT1はダウン信号N54を受け取るとカウント用クロックN53に従って出力信号N44をカウントダウンしていく。リーク電流測定回路LCM1の測定する電流が所定の値以上になり、出力電圧N51が基準電位VRF2より低くなると、比較器CMP2はダウン信号を出力しなくなり、ダウンカウンタDCT1は出力信号のカウントダウンを停止する。

【0145】ダウンカウンタDCT1の出力信号N44がカウントダウンされると、図68で示される選択回路SEL1の出力がダウンしていき、例えば図57に示すような電流制限回路が供給できる電流量が減る。このようにして、リーク電流測定回路LCM1によって測定されるリーク電流が所定の値以下に現象すると、ダウンカウンタDCT1の出力が固定され、最適な電流制限回路が自動的に選択されることになる。

【0146】図75には、前記基板電流検出回路の他の一実施例のブロック図が示されている。この実施例の基板電流検出回路は、リーク電流測定回路LCM1、比較器CMP1、CMP2、アップダウンカウンタUDT1、分周器DIV1から構成される。リーク電流測定回路LCM1は、測定されたリーク電流に応じた出力電圧をN51から発生し、比較器CMP1、CMP2はそれぞれN51の電圧と基準電位VRF1、VRF2を比較する。

【0147】リーク電流に対応した電圧N51が基準電位VRF1より低い間は、比較器CMP1からアップ信号N52が出力される。リーク電流に対応した電圧N51が基準電位VRF2より高い間は、比較器CMP2からダウン信号N54が出力される。分周器DIV1はク

ロック信号CLK1を分周して適当な周波数におとし、アップダウンカウンタUDT1のカウント用クロックN53を与える。

【0148】アップダウンカウンタUDT1はアップ信号N52を受け取るとカウント用クロックN53に従って出力信号N44をカウントアップし、ダウン信号N54を受け取るとカウント用クロックN53に従って出力信号N44をカウントアップしていく。リーク電流測定回路LCM1の測定する電流がある2つの所定値の間となり、出力電圧N51が基準電位VRF1より高く、VRF2より低くなると、比較器CMP1、CMP2はアップ、ダウン信号を出力しなくなり、アップダウンカウンタUDT1は出力信号の変化を停止する。

【0149】アップダウンカウンタの出力信号N44がカウントアップされると、図68で示される選択回路SEL1の出力がアップしていき、例えば図57に示すような電流制限回路が供給できる電流量が増える。また、出力信号N44がカウントダウンされると、電流制限回路が供給できる電流量は減少する。このようにして、リーク電流測定回路LCM1によって測定されるリーク電流が所定の値となると、アップダウンカウンタUDT1の出力が固定され、最適な電流制限回路が自動的に選択されることになる。

【0150】図76には、前記リーク電流測定回路の一実施例の素子構造断面図が示されている。Nチャンネル型MOSトランジスタの基板に順バイアスを印加したときに生じるリーク電流は、図76に示すようにN型拡散層n⁺、P型ウェルPWEL1、N型基板分離層NIS O1を流れる。そこで、図のように抵抗RES21とRES22を接続し、N51端子からの出力電圧を測定すると、リーク電流の大きさに応じた電圧が観測される。この電圧の大小によってリーク電流の増加、減少を判別することができる。

【0151】図77には、前記リーク電流測定回路の他の一実施例の素子構造断面図が示されている。Pチャンネル型MOSトランジスタの基板に順バイアスを印加したときに生じるリーク電流は、図77に示すようにP型拡散層p⁺、N型ウェルNWEL1、N型基板分離層NISO1、P型基板PSUB1を流れる。そこで、図のように抵抗RES23とRES24を接続し、N51端子からの出力電圧を測定すると、リーク電流の大きさに応じた電圧が観測される。この電圧の大小によってリーク電流の増加、減少を判別することができる。

【0152】図78には、この発明に係る半導体集積回路装置の他の一実施例の基本的ブロック図が示されている。前記のように速度モニタDMN61の遅延に応じて基板バイアス制御を行うシステム（半導体集積回路装置）において、基板バイアス発生回路SBG61の出力に電流制限回路CLC61、CLC62を配置することによって、主回路LSI1のトランジスタ基板内で無駄

なりリーク電流が増加することを防止し、回路の動作信頼性を向上することができる。これらの電流制限回路CLC61、CLC62は、前記図47～図51及び図57～図72等が用いられる。

【0153】つまり、前記図1などに示すような電力制限回路の場合は、回路の電力が増加しすぎることを防ぐために、出力電圧を制御しているのに対し、この実施例の方式は、基板バイアス回路から基板に与えられる出力電流そのものを制限することにより、MOSトランジスタ基板内の無駄なリーク電流を抑制することで回路の誤動作を防止し、ラッチアップ現象を起きにくくしてトランジスタの破壊を防ぐことで、回路動作の信頼性を向上することができる。

【0154】別の観点では、前記電力制限回路は、モニタ回路（電流測定回路）を設けてそこでのリーク電流を測定して基板バイアス回路を制御するものである。1つの半導体チップに形成される素子は、同時に形成されるので似た特性を持つものであるが、全く同じになるのではなく、相互にプロセスばらつきを持つものとなる。したがって、主回路に流れるリーク電流と前記電流測定回路に流れる電流とは必ずしも精度よく一致してない場合がある。このため、前記の電流制限回路ではプロセスばらつきのワーストケースを想定した一定のマージンを設定する必要がある。これに対して、この実施例では主回路に流れるリーク電流に応答として、電力制限動作が行なわれるので信頼性が高く、かつ基板バイアス制御範囲を広くできる。

【0155】図79には、本発明に係る半導体集積回路装置の一実施例のブロック図が示されている。この実施例の集積回路（主回路）LSI11は、入出力モジュールIO1、プロセッサコアCORE1、基板制御回路SCNT1から構成されている。主回路LSI11と外部との信号のやりとりは、入出力モジュールIO1が入出力信号SIG1を用いて行う。入出力モジュールIO1用には、例えば3.3Vの電圧源VDDQが用いられる。プロセッサコアCORE1には、例えば1.5Vの電源VDDが用いられる。

【0156】前記図1の実施例のようにMOSトランジスタが形成される半導体領域又は基板に負電圧から正電圧までの範囲でバイアス電圧を設定するものでは、基板制御回路SCNT1にも外部から電源が供給され、基板制御用電源として例えば3.3VのVWELL1および-1.5VのVSUB1が与えられる。また、プロセッサコアCORE1用の電源VDDも供給される。これらの電源を用いて、制御用基板バイアスN71、N72を発生し、プロセッサコアCORE1に供給してコアの回路速度を制御する。

【0157】図80には、本発明に係る半導体集積回路装置の他の一実施例のブロック図が示されている。この実施例の集積回路（主回路）LSI11は、入出力モジ

ュールIO1、プロセッサコアCORE1、基板制御回路SCNT1、チャージポンプ回路CHP1から構成されている。主回路LSI11と外部との信号のやりとりは、入出力モジュールIO1が入出力信号SIG1を用いて行う。入出力モジュールIO1用には、例えば3.3Vの電圧源VDDQが用いられる。プロセッサコアCORE1には、例えば1.5Vの電源VDDが用いられる。

【0158】前記図1の実施例のようにMOSトランジスタが形成される半導体領域又は基板に負電圧から正電圧までの範囲でバイアス電圧を設定するものでは、チャージポンプ回路CHP1には電源VDDQとVDDが与えられ、これらの電圧を用いて基板制御用電圧VWELL2およびVSUB2を主回路LSI11内部で生成する。基板制御回路SCNT1にはチャージポンプ回路CHP1が内部で生成した電位を、例えば3.3VのVWELL2および-1.5VのVSUB2として与えられる。これらの電源を用いて、制御用基板バイアスN71、N72を発生し、プロセッサコアCORE1に供給してコアの回路速度を制御する。

【0159】図81には、上記チャージポンプ回路の一実施例の回路図が示されている。例えば図のように、リングオシレータ、容量、ダイオード接続された2つのNMOSトランジスタを用いることで、NMOSトランジスタ用基板バイアス電源として-1.5VのVSUB2を生成することができる。

【0160】図82には、上記チャージポンプ回路の一実施例の回路図が示されている。例えば図のように、リングオシレータ、容量、ダイオード接続された2つのPMOSトランジスタを用いることで、電源電圧VDD以上に昇圧されたMOSトランジスタ用基板バイアス電源として3.3VのVWELL2を生成することができる。

【0161】図83には、本発明の他の一実施例の基本的ブロック図が示されている。この実施例は、前記図78の変形例であり、前記図1の実施例のように速度モニタDMN61の遅延に応じて基板バイアス制御を行う半導体集積回路装置において、基板バイアス発生回路SBG61の出力に電流制限回路CLC61、CLC62を配置することによって、主回路LSI11のトランジスタ基板内で無駄なリーク電流が増加することを防止し、回路の動作信頼性を向上するものである。

【0162】速度モニタDMN61の基板には、前記図78の実施例とは異なり基板バイアス発生回路SBG61の出力N62、N64を直接接続し、電流制限を行わない。速度モニタDMN61を構成するMOSトランジスタの数は、主回路LSI11に比べるとごくわずかであり、リーク電流の増加は問題にならない。速度モニタDMN61では、電流制限を行わずに最適な基板バイアスを設定し、主回路LSI11では電流制限を行うことによ

って誤動作等を防止することができる。

【0163】前記図1などに示す電力制限回路は、ある個所でリーク電流を測定し、それが設定値を超えないように制限を与えるが、その場合、リーク電流を測定している位置と主回路LSI1全体のリーク電流にずれがある場合、電力制限の役目を果たせないことがある。これに対して、前記図78や図83の実施例のようにすれば、実際のLSI1が消費する電流を制限することができる。

【0164】図84には、本発明に係る半導体集積回路装置の一実施例のブロック図が示されている。集積回路（主回路）LSI11は、入出力モジュール101、プロセッサコアCORE1、基板制御回路SCNT1から構成されている。主回路LSI11と外部との信号のやりとりは、入出力モジュールIO1が入出力信号SIG1を用いて行う。入出力モジュールIO1用には、例えば3.3Vの電圧源VDDQが用いられる。プロセッサコアCORE1には、例えば1.5Vの電源VDDが用いられる。

【0165】前記図45の実施例のようにMOSトランジスタが形成される半導体領域又は基板に正電圧のバイアス電圧のみを供給するものでは、基板制御回路SCNT1が生成する基板バイアスが順バイアスのみとなるので、電源としてVDDだけを利用すればよい。つまり、前記図79のように他の外部電源を用いたり、図80のようにチャージポンプ回路を持つ必要も無くなり、設計が簡易になるとともに、電力も削減できる。

【0166】さらに、もし入出力モジュールIO1とプロセッサコアCORE1が同じ電位の電源で動く場合には、1種類の電源だけでまかなえるという利点がある。基板制御回路SCNT1が出力する制御用基板バイアスN71、N72は、電源VDDを降圧するだけで生成できる。これは、バイアス値を固定して順バイアスを印加し主回路LSI11の動作速度を向上させる場合でも、また、基板バイアスを順バイアスの範囲で変化させて特性変動を補償する場合でも同じである。

【0167】図85には、本発明を説明するための半導体集積回路装置の速度分布図が示されている。集積回路の動作速度が、製造プロセスのばらつきによって分布を持つ。例えば、MOSトランジスタのゲート絶縁膜等を厚く形成して、そのしきい値電圧を大きくすると、①の特性のようにチップの速度が低くなっている。これに対して、順バイアスを印加することによって、②の分布のように全体が移動し、全体として集積回路の動作速度が速くすることができる。

【0168】この場合、①の分布曲線の右端は、動作電力からくる動作速度の限界である。順バイアスを印加すると、②の分布曲線の右端部分は、電力の限界領域に入ってしまう、この部分にある集積回路は熱暴走を起したり誤動作を起すなどの問題を有するので、製品とし

ては使用できなくなる。つまり、この電力限界領域に入るチップは、不良チップとして使用できない。実際には、電力限界領域には、温度変化や安全マージンを考慮して電力限界領域を動作速度の低い方に設定することが必要とされる。このようにすると、更に不良チップが増加して製品歩留りが悪くなってしまふ。

【0169】そこで、本発明に係る電流制限回路を用いると、電力限界領域にまで集積回路の速度を速めずに制限することができる。これにより、図86の速度分布曲線のようになり、電力制限で使えない集積回路が現れることを防ぐことができる。つまり、前記製造プロセスにより設定されたしきい値電圧による①のような速度分布曲線を持つチップに対して、前記のような順バイアス電圧を与え、かつ主回路に流れるリーク電流にตอบสนองして電流制限を行なうような安全回路を付加することにより、前記電力の限界領域に入ってしまう、熱暴走を起こしたり誤動作を起こすなどの問題を有するものは、上記電流制限回路により電力限界領域に入らないように制限される。

【0170】この構成により、前記電流制限回路が動作して電流制限が行なわれるチップは、集積回路が熱暴走を起こしたり誤動作を起こすなどの問題を生じる上記電力の限界領域に入る直前で動作することとなり、チップの動作速度が最高レベルを維持しつつ、その安全性又は信頼性を確保することができるので、製品としての歩留りを大幅に改善できるものとなる。

【0171】図87には、前記順バイアス値を変化させて動作速度を一定に補償する例が示されている。一定のばらつきを持つ集積回路に対して、補償中心よりも速いものには順バイアスを小さくして速度を遅くし、補償中心よりも遅いものには順バイアスを大きくして速くし、①の分布特性のように全集積回路の速度を補償中心に集める。

【0172】ところが、動作時の環境などにより集積回路の温度が上がるような場合、②の分布曲線に示すように集積回路の速度は低下する。すると、前記順バイアス値を変化させて、温度上昇による速度低下分を補うように分布曲線②のあみかけを行った領域には、更に順バイアスをかけることが必要となり、電力限界を超えてしまうことがある。そのような場合にも、電流制限回路を設けることによって、集積回路の電力が限界を超えてしまうことを防止することができるものとなる。

【0173】上記の実施例から得られる作用効果は、次の通りである。

(1) CMOSで構成される主回路に対して、その動作速度に対応した速度検出信号を形成する速度モニタ回路と、上記主回路及び上記速度モニタ回路を構成するPチャンネル型MOSFETとNチャンネル型MOSFETとがそれぞれ形成される半導体領域に、対応する基板バイアス電圧を供給する基板バイアス制御回路を設け、

上記基板バイアス制御回路により、複数種類の動作速度に対応して設定された速度信号と上記速度検出信号とが一致するように上記基板バイアス電圧を形成することにより、回路規模を縮小しつつ、低消費電力化と製品歩留りの向上を実現した半導体集積回路装置を得ることができるという効果が得られる。

【0174】(2) 上記に加えて、上記動作速度を低速度モード、中速度モード及び高速度モードと動作停止モードのいずれか少なくとも2つを含むものとする

ことにより、それぞれの回路機能に対応させて低消費電力化を実現することができるという効果が得られる。

【0175】(3) 上記に加えて、上記基板バイアス制御回路として、上記主回路及び速度モニタ回路をそれぞれ構成するPチャンネル型MOSFETとNチャンネル型MOSFETのそれぞれに対して、上記半導体領域とソース領域とが順方向から逆方向の範囲で所望の基板バイアス電位を与えるようにすることにより、効率的なバイアス制御が可能になるとともに、ショートチャンネル効果によるしきい値電圧の変動が抑えられるから素子の微細化に適合させることができるという効果が得られる。

【0176】(4) 上記に加えて、上記速度モニタ回路をクロックデューティ変換回路と遅延列で構成し、速度情報を周波数の形態で入力されたクロック信号をクロックデューティ変換回路により所望のデューティ比を持つ信号に変換して基準信号とし、上記遅延列により上記基準信号を入力して所望の遅延時間を経て少なくとも1つの遅延信号を出力させ、位相周波数比較回路と基板バイアス発生回路により基板バイアス制御回路を構成して、上記基準信号と上記遅延信号を入力して2信号の位相差を比較し位相差に応じてアップ信号若しくはダウン信号を出力させて基板バイアス発生回路により上記Pチャンネル型MOSFETの基板バイアス及びNチャンネル型MOSFETの基板バイアスを生成することにより、上記クロック信号の周波数と上記遅延列の遅延時間の組み合わせより、簡単な構成でしかも上記クロック信号の周波数を変化させるというソフトウェア的な信号入力によっても上記主回路を所望の動作速度に設定できるという効果が得られる。

【0177】(5) 上記に加えて、上記速度モニタ回路を上記バイアス電圧に対応して発振周波数に変化するリング発振回路で構成し、位相周波数比較回路と基板バイアス発生回路とで基板バイアス制御回路を構成し、速度情報が周波数の形態で入力されたクロック信号と上記発振信号を入力して2信号の周波数差を比較し周波数差に応じてアップ信号若しくはダウン信号を出力させて、基板バイアス発生回路により上記Pチャンネル型MOSFETの基板バイアス及びNチャンネル型MOSFETの基板バイアスを生成することにより、上記クロック信号の周波数と上記リング発振回路の遅延段数の組み合わ

せより、簡単な構成でしかも上記クロック信号の周波数を変化させるというソフトウェア的な信号入力によっても上記主回路を所望の動作速度に設定できるという効果が得られる。し、

【0178】(6) 上記に加えて、電力制限回路を更に設け、上記主回路の電流若しくは温度に応じて少なくとも1つの制限信号を発生し、上記速度モニタ回路による上記基板バイアス制御回路に対する制御に制限を与え、上記主回路に流れる電流若しくは上記主回路の動作温度が所望の値より大きくなることを防ぐことにより、上記基板バイアスを順バイアス領域まで使用しつつ、半導体集積回路装置の高信頼性を実現することができるという効果が得られる。

【0179】(7) 上記に加えて、上記電力制限回路として、上記位相周波数比較回路及び上記基板バイアス発生回路のうち少なくとも一方に上記制限信号を伝えるようにすることにより、上記基板バイアスを順バイアス領域まで使用しつつ、半導体集積回路装置の高信頼性を実現することができるという効果が得られる。

【0180】(8) 上記に加えて、制御信号発生回路を更に設け、クロック信号及び動作速度を指示するモード切替信号を受けて、上記複数種類の動作速度に対応して設定された速度信号を形成することにより、半導体集積回路装置の内部で速度設定信号を形成することができるから、使い勝手を良くすることができるという効果が得られる。

【0181】(9) 上記に加えて、上記制御信号発生回路として、クロック発生回路と分周回路と第1のセレクタとで構成し、上記クロック発生回路により所定の周波数のクロック信号を形成し、上記分周回路により少なくとも2種類の周波数を持つ分周信号を出力し、上記第1のセレクタにより上記モード切替信号対応した上記分周信号のうち1つの周波数の分周信号を選んで出力させることにより、簡単な構成で上記複数種類の速度情報を半導体集積回路装置の内部で発生させることができるという効果が得られる。

【0182】(10) 上記に加えて、上記速度モニタ回路の遅延列に出力選択回路を設け、上記基準信号を入力して所望の遅延時間を経た複数通りの遅延信号の中の1つを動作速度を指示するモード切替信号に対応して出力させることにより、簡単な構成で上記複数種類の速度情報を半導体集積回路装置の内部で発生させることができるという効果が得られる。

【0183】(11) 上記に加えて、上記速度モニタ回路のリング発振回路に複数の帰還ループの選択回路を設け、上記複数の帰還ループの中の1つを動作速度を指示するモード切替信号に対応して選択することにより、簡単な構成で上記複数種類の速度情報を半導体集積回路装置の内部で発生させることができるという効果が得られる。

【0184】(12) 上記に加えて、上記主回路を複数の回路ブロックに分割し、上記回路ブロック毎に上記速度モニタ回路及び基板バイアス制御回路を設けることによって、回路ブロック毎のきめこまかな速度制御が実施でき、いっそうの低消費電力化を図ることができるという効果が得られる。

【0185】(13) 上記に加えて、上記基板バイアス制御回路として基板電圧に対応したデジタル信号を形成する制御信号発生回路と、上記デジタル信号を受けてアナログ電圧を形成するD/A変換回路を上記分割された複数の回路ブロック毎に設けることにより、基板バイアスの安定化を図りつつ回路の簡素化を図ることができるという効果が得られる。

【0186】(14) 上記に加えて、上記基板バイアス制御回路を基板電圧に対応したデジタル信号を形成する制御信号発生回路とし、上記半導体集積回路装置の外部に上記デジタル信号を受けて上記基板電圧を形成するD/A変換回路を設けることにより、それぞれの半導体集積回路装置に最適な基板バイアス電源を選択することができるという効果が得られる。

【0187】(15) 上記に加えて、少なくとも上記主回路を構成するPチャンネル型MOSFETとNチャンネル型MOSFETとがそれぞれ形成される半導体領域の各々に、対応する基板バイアス電圧を供給する電圧供給経路に設けられたインピーダンス手段からなり、かかるインピーダンス手段に流れる電流にตอบสนองして上記半導体領域に供給される正のバイアス電圧を制限することにより、実際のLSIが消費するリーク電流に対応した高い精度での電力制限動作が可能となり、信頼性の向上を図ることができるという効果が得られる。

【0188】(16) 上記に加えて、上記インピーダンス手段として半導体集積回路に形成される抵抗素子を用いることにより、高集積化を維持することができるという効果が得られる。

【0189】(17) 上記に加えて、上記インピーダンス手段としてゲートに定常的に所定電圧が印加されてオン状態にされたMOSFETを用いることにより、高集積化を維持することができるという効果が得られる。

【0190】(18) 上記に加えて、上記インピーダンス手段として、複数の抵抗素子と、かかる複数の抵抗素子を選択するスイッチ素子とを用い、上記スイッチ素子の選択的なスイッチ制御により複数通りの抵抗値に設定することにより最適な電力制御を選択することができるという効果が得られる。

【0191】(19) 上記に加えて、上記インピーダンス手段として、複数のMOSFETと、かかる複数のMOSFETを選択的にオン状態にさせる制御回路により構成し、MOSFETの選択的な動作により複数通りの抵抗値に設定することにより最適な電力制御を選択することができるという効果が得られる。

【0192】(20) CMOSで構成される主回路に対して、その動作速度に対応した速度検出信号を形成する速度モニタ回路と、電源電圧発生回路とを設け、上記電源電圧発生回路により、複数種類の動作速度に対応して設定された速度信号と上記速度検出信号とが一致するように上記主回路と速度モニタ回路の動作電圧を制御する回路規模を縮小しつつ、低消費電力化と製品歩留りの向上を実現した半導体集積回路装置を得ることができるという効果が得られる。

10 【0193】(21) 主回路を構成するMOSFETが形成される半導体領域に基板バイアス回路により正のバイアス電圧を供給するとともに、上記半導体領域とソースとの間に流れる基板電流にตอบสนองして上記半導体領域に供給される電流を制限する電流制限回路を設けることにより、製品歩留りの改善と信頼性を確保しつつ高速化を実現した半導体集積回路装置を得ることができるという効果が得られる。

20 【0194】(22) 上記に加えて、上記電流制限回路として上記基板バイアス回路に設けられて、上記基板電圧を出力する出力回路の出力インピーダンスを利用して構成することにより、回路素子数を削減することができるという効果が得られる。

【0195】(23) 上記に加えて、上記電流制限回路として半導体集積回路に形成される抵抗素子を用いることにより、高集積化を維持しつつ主回路の回路規模に応じた電流制限動作の回路設計が容易になるという効果が得られる。

30 【0196】(24) 上記に加えて、上記電流制限回路としてゲートに定常的に所定電圧が印加されてオン状態にされたMOSFETを用いることにより、高集積化を維持しつつ主回路の回路規模に応じた電流制限動作の回路設計が容易になるという効果が得られる。

【0197】(25) 上記に加えて、上記電流制限回路として複数の抵抗素子と、かかる複数の抵抗素子を選択するスイッチ素子を用い、上記スイッチ素子の選択的なスイッチ制御により複数通りの抵抗値を設定することにより、最適な電力制御を選択することができるという効果が得られる。

40 【0198】(26) 上記に加えて、上記電流制限回路として複数のMOSFETと、かかる複数のMOSFETを選択的にオン状態にさせる制御回路を用い、MOSFETの選択的な動作により複数通りの抵抗値に設定することにより、最適な電力制御を選択することができるという効果が得られる。

50 【0199】(27) 上記に加えて、上記MOSFETをPチャンネル型MOSFETとNチャンネル型MOSFETからなるCMOS回路とし、上記基板バイアス回路を上記Pチャンネル型MOSFETに対応した第1基板バイアス回路と、上記Nチャンネル型MOSFETに対応した第2基板バイアス回路で構成することによ

り、個々のMOSFETに対応した基板電圧を得ることができるという効果が得られる。

【0200】(28) 主回路を構成するMOSFETが形成される半導体領域に正のバイアス電圧を発生する基板電圧バイアス回路と、上記バイアス電圧を上記半導体領域に伝えるときに、その最大電流が一定に制限されたMOSFETを設けることにより、製品歩留りの改善と信頼性を確保しつつ高速化を実現した半導体集積回路装置を得ることができるという効果が得られる。

【0201】(29) 上記に加えて、上記電流制限を行なうMOSFETは、所定の定電流が流れるようにされたMOSFETと電流ミラー形態に接続されるものを用いることにより、安定した電流制限動作を行なわせることができるという効果が得られる。

【0202】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、速度モニタ回路、基板バイアス制御回路、及び位相周波数比較回路や基板バイアス電圧発生回路の具体的構成は、種々の実施形態を採ることができるものである。この発明は、MOSFETで構成される半導体集積回路装置に広く利用することができる。

【0203】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。CMOSで構成される主回路に対して、その動作速度に対応した速度検出信号を形成する速度モニタ回路と、上記主回路及び上記速度モニタ回路を構成するPチャンネル型MOSFETとNチャンネル型MOSFETとがそれぞれ形成される半導体領域に、対応する基板バイアス電圧を供給する基板バイアス制御回路を設け、上記基板バイアス制御回路により、複数種類の動作速度に対応して設定された速度信号と上記速度検出信号とが一致するように上記基板バイアス電圧を形成することにより、回路規模を縮小しつつ、低消費電力化と製品歩留りの向上を実現した半導体集積回路装置を得ることができる。

【0204】CMOSで構成される主回路に対して、その動作速度に対応した速度検出信号を形成する速度モニタ回路と、電源電圧発生回路とを設け、上記電源電圧発生回路により、複数種類の動作速度に対応して設定された速度信号と上記速度検出信号とが一致するように上記主回路と速度モニタ回路の動作電圧を制御する回路規模を縮小しつつ、低消費電力化と製品歩留りの向上を実現した半導体集積回路装置を得ることができる。

【0205】主回路を構成するMOSFETが形成される半導体領域に基板バイアス回路により正のバイアス電圧を供給するとともに、上記半導体領域とソースとの間に流れる基板電流にตอบสนองして上記半導体領域に供給れる

電流を制限する電流制限回路を設けることにより、製品歩留りの改善と信頼性を確保しつつ高速化を実現した半導体集積回路装置を得ることができる。

【図面の簡単な説明】

【図1】この発明に係る半導体集積回路装置の一実施例を示す基本的なブロック図である。

【図2】本発明に係る半導体集積回路装置の一実施例を示すブロック図である。

【図3】本発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図4】図1の遅延列の一実施例を示す回路図である。

【図5】図3のリング発振回路の一実施例を示す回路図である。

【図6】図2のクロックデューティ変換回路の動作を説明するための波形図である。

【図7】図2の遅延列の動作を説明するための波形図である。

【図8】図2及び図3の位相周波数比較回路の一実施例を示す回路図である。

【図9】図2及び図3の基板バイアス発生回路の一実施例を示すブロック図である。

【図10】上記基板バイアス発生回路の他の一実施例を示すブロック図である。

【図11】上記基板バイアス発生回路の更に他の一実施例を示すブロック図である。

【図12】図2及び図3の電力制限回路の一実施例を示すブロック図である。

【図13】上記電力制限回路の他の実施例を示すブロック図である。

【図14】上記電力制限回路に用いられる電流測定回路の一実施例を示す回路図である。

【図15】上記電流測定回路の他の一実施例を示す回路図である。

【図16】上記電流測定回路の他の一実施例を示す回路図である。

【図17】上記電流測定回路の他の一実施例を示す概略素子構造断面図である。

【図18】上記電流測定回路の他の一実施例を示す概略素子構造断面図である。

【図19】上記電力制限回路に用いられる温度測定回路の一実施例を示す回路図である。

【図20】本発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図21】本発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図22】本発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図23】本発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図24】図20の制御信号発生回路の一実施例を示す

ブロック図である。

【図 25】図 22 の遅延列の一実施例を示す回路図である。

【図 26】上記遅延列の他の一実施例を示す回路図である。

【図 27】図 23 のリング発振回路の一実施例を示す回路図である。

【図 28】この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図 29】この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図 30】この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図 31】この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図 32】この発明に係る半導体集積回路装置の一実施例を示す構成図である。

【図 33】この発明に係る半導体集積回路装置の他の一実施例を示す構成図である。

【図 34】この発明に係る半導体集積回路装置の他の一実施例を示す構成図である。

【図 35】この発明を説明するためのしきい値電圧と電流の特性図である。

【図 36】この発明を説明するためのしきい値電圧の基板バイアス特性図である。

【図 37】この発明を説明するためのチップ内しきい値電圧平均値の分布図である。

【図 38】この発明を説明するためのチップ内しきい値電圧平均値の分布図である。

【図 39】この発明を説明するためのチップ内しきい値電圧平均値の分布図である。

【図 40】この発明を説明するためのチップ内しきい値電圧平均値の分布図である。

【図 41】この発明を説明するためのチップ内しきい値電圧平均値の分布図である。

【図 42】この発明を説明するためのチップ内しきい値電圧平均値の分布図である。

【図 43】この発明を説明するためのしきい値電圧と基板バイアスとの特性図である。

【図 44】この発明を説明するためのしきい値電圧とゲート長との特性図である。

【図 45】この発明に係る半導体集積回路装置の他の一実施例を示す基本的なブロック図である。

【図 46】この発明に係る半導体集積回路装置の他の一実施例を示す基本的なブロック図である。

【図 47】図 45 の電流制限回路の一実施例を示す回路図である。

【図 48】図 45 の電流制限回路の他の一実施例を示す回路図である。

【図 49】図 45 の電流制限回路の他の一実施例を示す

回路図である。

【図 50】図 45 の電流制限回路の他の一実施例を示す回路図である。

【図 51】図 45 の電流制限回路の他の一実施例を示す回路図である。

【図 52】この発明を説明するための半導体集積回路装置の概略素子構造断面図である。

【図 53】この発明を説明するための半導体集積回路装置の概略素子構造断面図である。

【図 54】この発明を説明するための半導体集積回路装置の概略素子構造断面図である。

【図 55】この発明に係る半導体集積回路装置の他の一実施例を示す基本的なブロック図である。

【図 56】この発明に係る半導体集積回路装置の他の一実施例を示す基本的なブロック図である。

【図 57】図 55 の電流制限回路の一実施例を示す回路図である。

【図 58】図 55 の電流制限回路の他の一実施例を示す回路図である。

【図 59】図 55 の電流制限回路の他の一実施例を示す回路図である。

【図 60】図 55 の電流制限回路の他の一実施例を示す回路図である。

【図 61】図 55 の電流制限回路の他の一実施例を示す回路図である。

【図 62】図 55 の電流制限回路の他の一実施例を示す回路図である。

【図 63】図 55 の電流制限回路の他の一実施例を示す回路図である。

【図 64】図 55 の電流制限回路の他の一実施例を示す回路図である。

【図 65】図 57 等の選択回路の一実施例を示すブロック図である。

【図 66】図 57 等の選択回路の他の一実施例を示すブロック図である。

【図 67】図 57 等の選択回路の他の一実施例を示すブロック図である。

【図 68】図 57 等の選択回路の他の一実施例を示すブロック図である。

【図 69】図 62 等の選択回路の他の一実施例を示すブロック図である。

【図 70】図 62 等の選択回路の他の一実施例を示すブロック図である。

【図 71】図 62 等の選択回路の他の一実施例を示すブロック図である。

【図 72】図 62 等の選択回路の他の一実施例を示すブロック図である。

【図 73】図 68 等の基板電流検出回路の一実施例を示すブロック図である。

【図 74】図 68 等の基板電流検出回路の他の一実施例

を示すブロック図である。

【図75】図68等の基板電流検出回路の他の一実施例を示すブロック図である。

【図76】図73等のリーク電流測定回路の一実施例を示す素子構造断面図である。

【図77】図73等のリーク電流測定回路の他の一実施例を示す素子構造断面図である。

【図78】この本発明に係る半導体集積回路装置の他の一実施例を示す基本的ブロック図である。

【図79】この発明に係る半導体集積回路装置の一実施例を示すブロック図である。

【図80】この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図81】図80のチャージポンプの一実施例を示す回路図である。

【図82】図80のチャージポンプの他の一実施例を示す回路図である。

【図83】この本発明に係る半導体集積回路装置の他の一実施例を示す基本的ブロック図である。

【図84】この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図85】この発明を説明するための半導体集積回路装置の動作速度分布図である。

【図86】この発明を説明するための半導体集積回路装置の動作速度分布図である。

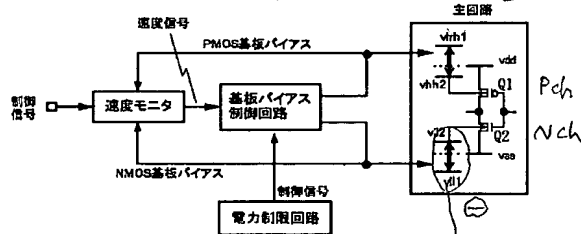
【図87】この発明を説明するための半導体集積回路装置の動作速度分布図である。

【符号の説明】

Q1, Q2…MOSFET、AMP1、AMP2…電流増幅回路、CHP1…チャージポンプ回路、CLC1～CLC62…電流制限回路、CMP1、CMP2…比較器、CORE1…プロセッサコア、DCT1…ダウンカウンタ、DIV1…分周器、DMN61…速度モニタ回路、FUS1…制御電流選択ヒューズ、IO1…入出力モジュール、LCM1…リーク電流測定回路、LSI1、LSI11…主回路、MN1～MN54：Nチャンネル型MOSトランジスタ、MP1～MP54…Pチャンネル型MOSトランジスタ、n+…N型拡散層、NIS01…N型基板分離層、NPN1～NPN3…NPN型バイポーラトランジスタ、NWEL1～NWEL3：N型ウェル、p+…P型拡散層、PIN1…制御電流選択ピン、PNP1～PNP3…PNP型バイポーラトランジスタ、PSUB1…P型基板、PWEL1～PWEL3…P型ウェル、REG1…制御電流選択レジスタ、RES1～RES24…抵抗、SBG1、SBG61…基板バイアス発生回路、SCD1…基板電流検出回路、SCNT1…基板制御回路、SEL1、SEL11…選択回路、SOI1…酸化膜分離層、UCT1…アップカウンタ、UDC1…アップダウンカウンタ。

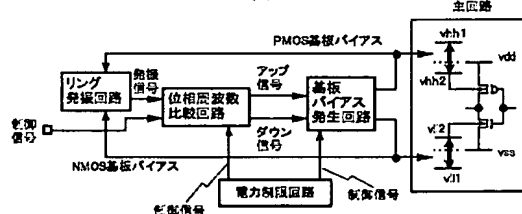
【図1】

図1



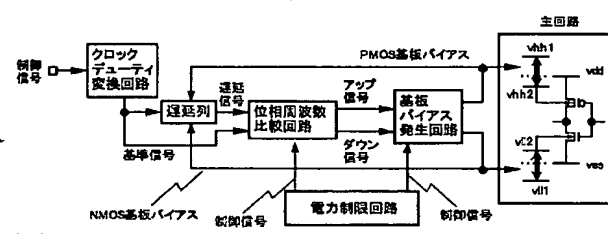
【図3】

図3



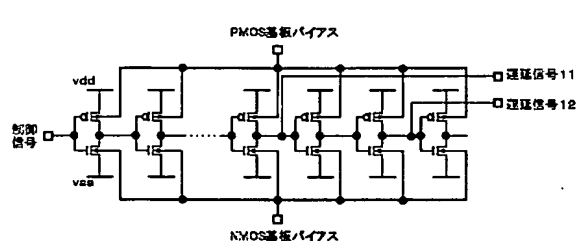
【図2】

図2



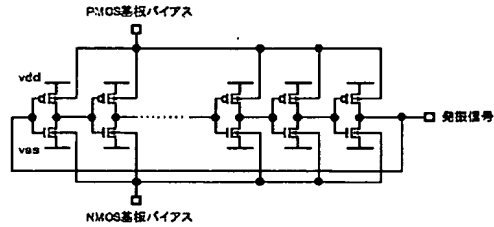
【図4】

図4



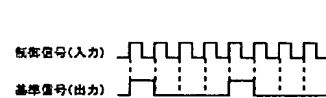
【図5】

図5



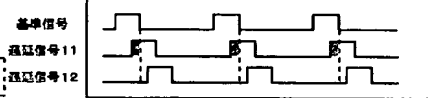
【図6】

図6



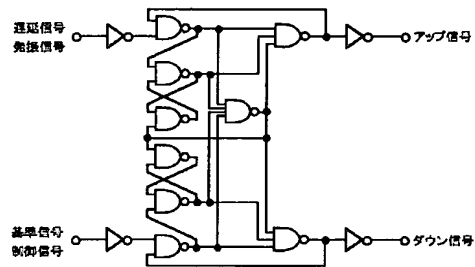
【図7】

図7



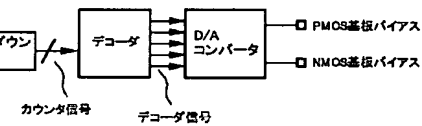
【図8】

図8



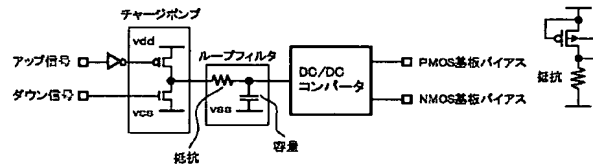
【図9】

図9



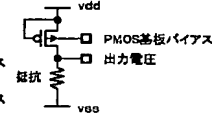
【図11】

図11



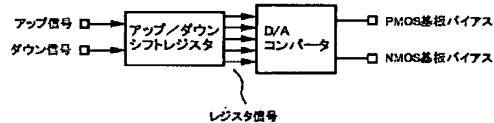
【図14】

図14



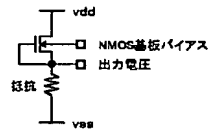
【図10】

図10



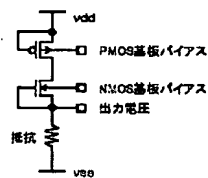
【図15】

図15



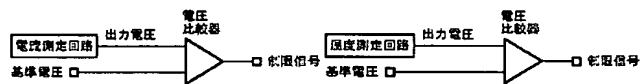
【図16】

図16



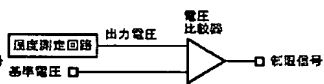
【図12】

図12



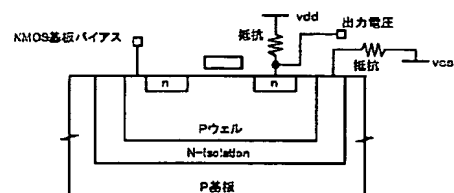
【図13】

図13



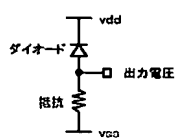
【図17】

図17



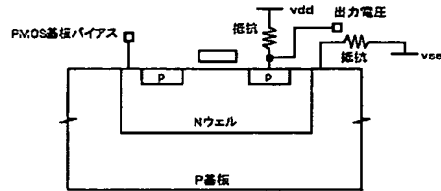
【図19】

図19



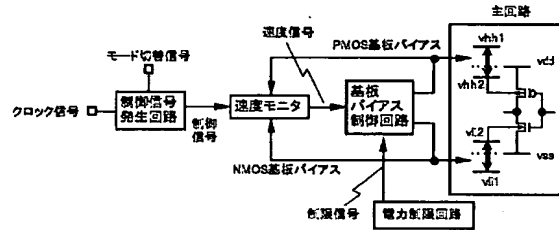
【図18】

図18



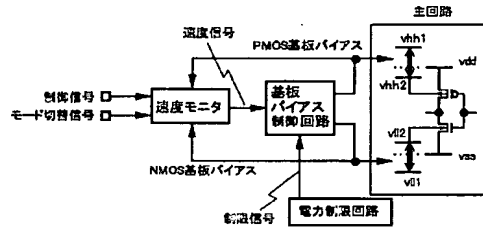
【図20】

図20



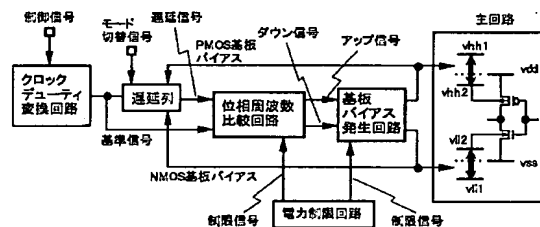
【図21】

図21



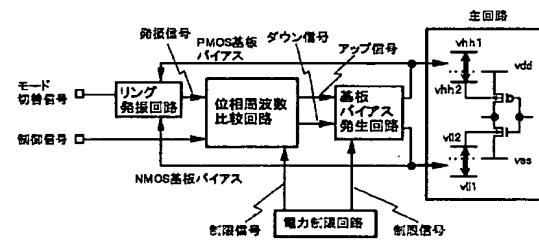
【図22】

図22



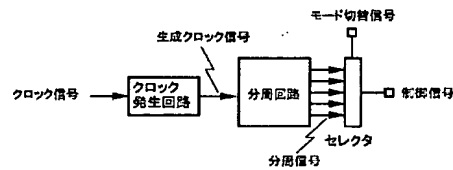
【図23】

図23



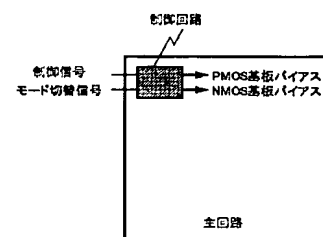
【図24】

図24



【図28】

図28



【図25】

図25

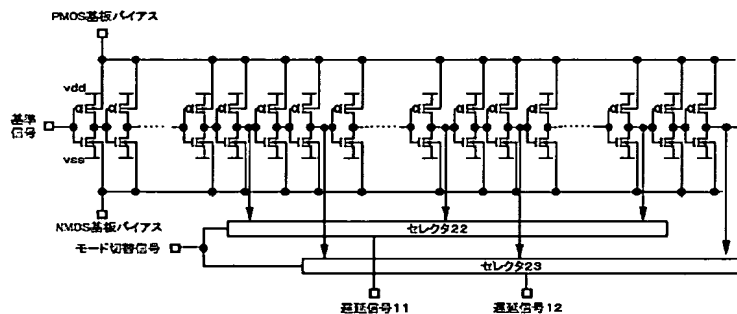
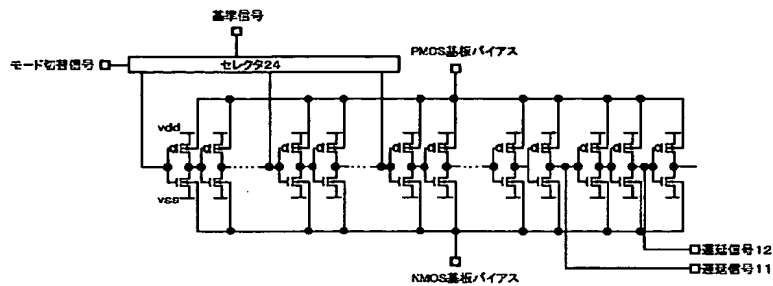
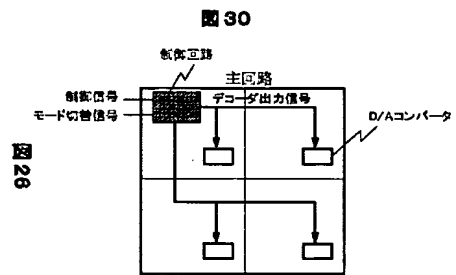


図25

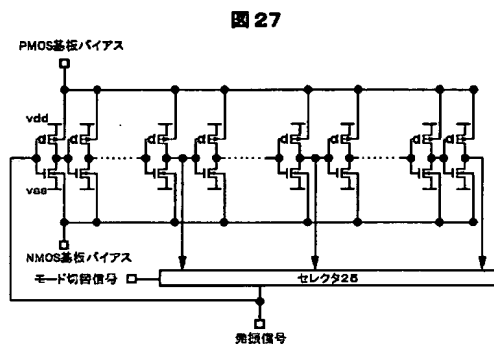
【図26】



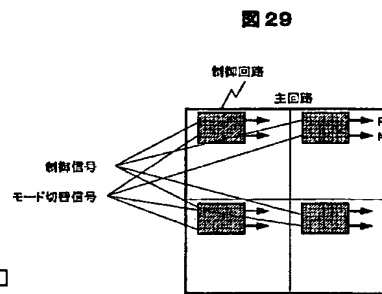
【図30】



【図27】



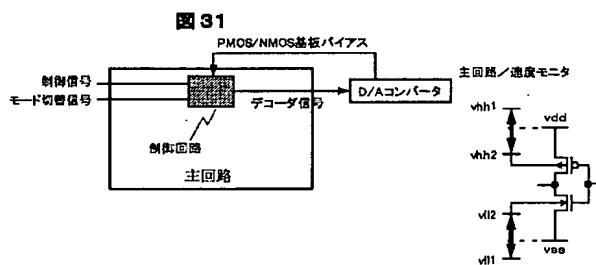
【図29】



【図37】



【図31】

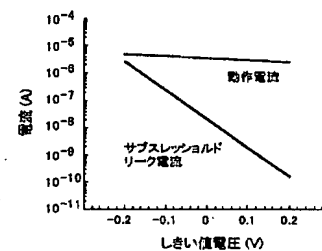


【図32】

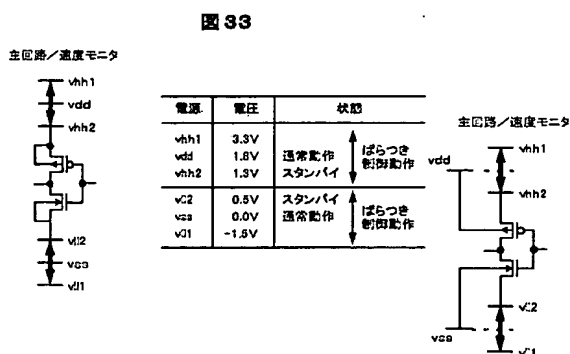
電源	電圧	状態
v _{hh1}	3.3V	スタンバイ
v _{dd}	1.8V	通常動作
v _{hh2}	1.3V	ばらつき制御動作
v _{i2}	0.5V	通常動作
v _{sa}	0.0V	スタンバイ
v _{ll1}	-1.5V	スタンバイ

【図35】

図35



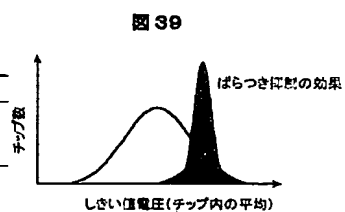
【図33】



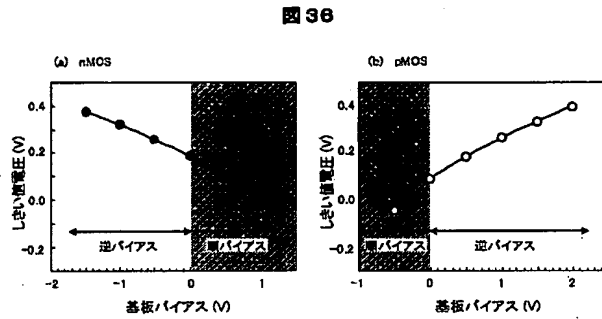
【図34】

電源	電圧	状態
v _{hh1}	3.3V	スタンバイ
v _{dd}	1.8V	通常動作
v _{hh2}	1.3V	スタンバイ
v _{i2}	0.5V	スタンバイ
v _{sa}	0.0V	通常動作
v _{ll1}	-1.5V	スタンバイ

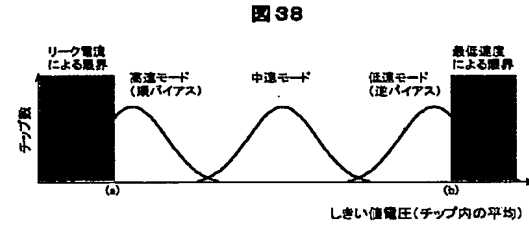
【図39】



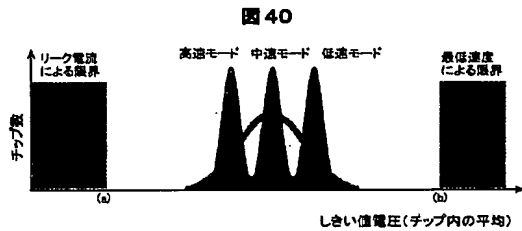
【図 36】



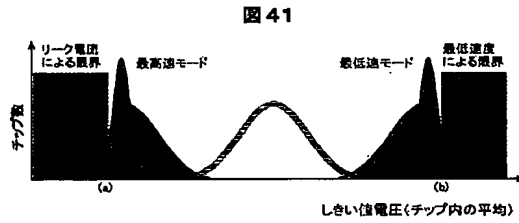
【図 38】



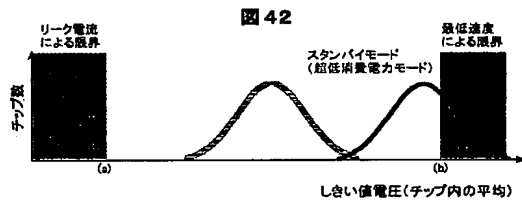
【図 40】



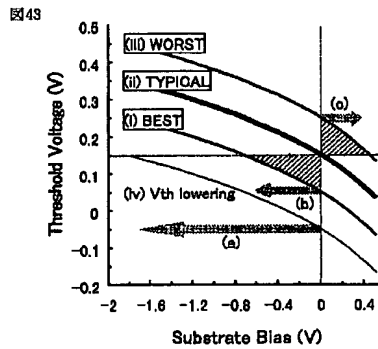
【図 41】



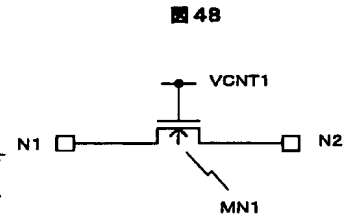
【図 42】



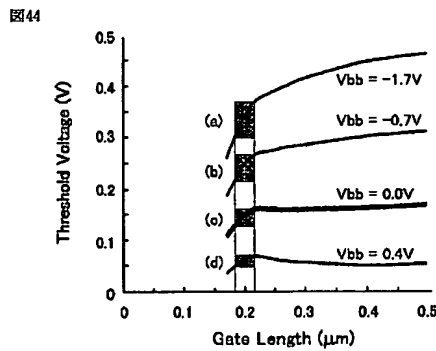
【図 43】



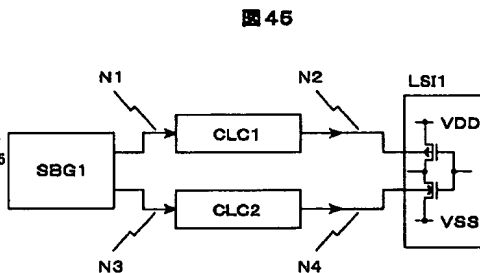
【図 48】



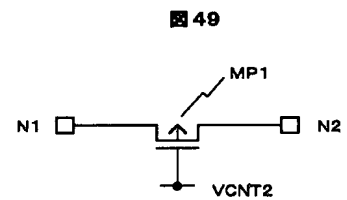
【図 44】



【図 45】

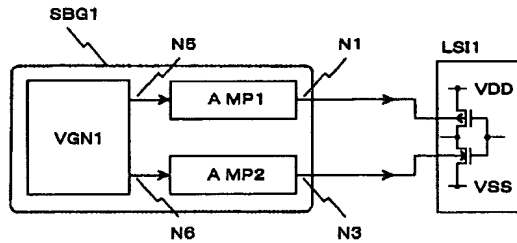


【図 49】



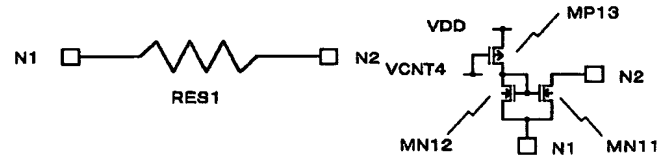
【図 46】

図 46



【図 47】

図 47

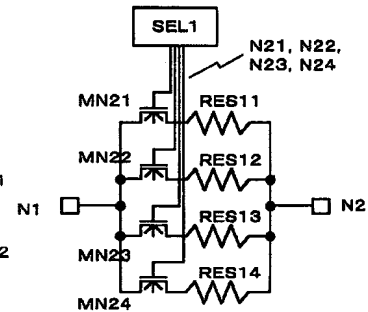


【図 51】

図 51

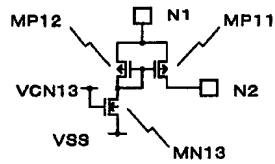
【図 57】

図 57



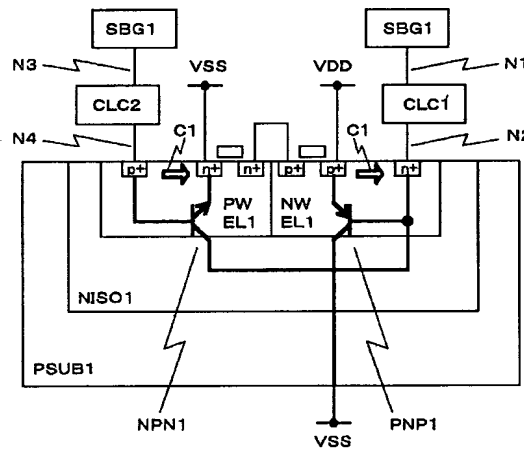
【図 50】

図 50



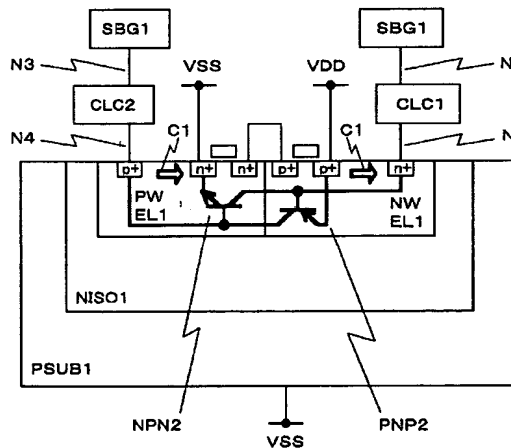
【図 52】

図 52



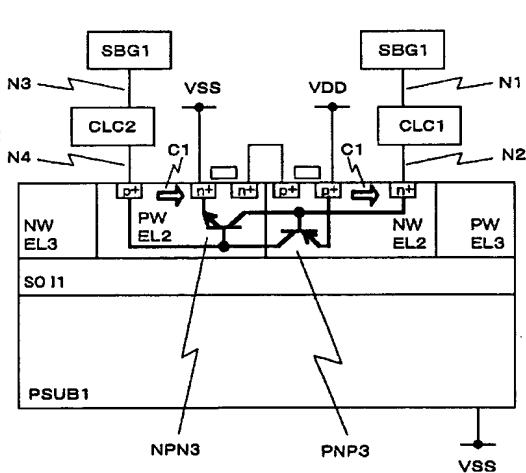
【図 53】

図 53



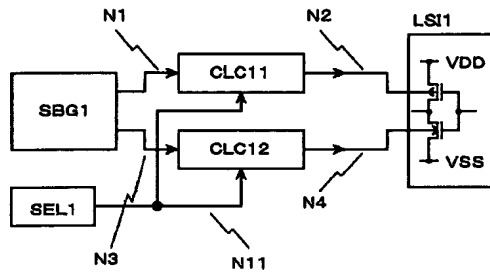
【図 54】

図 54



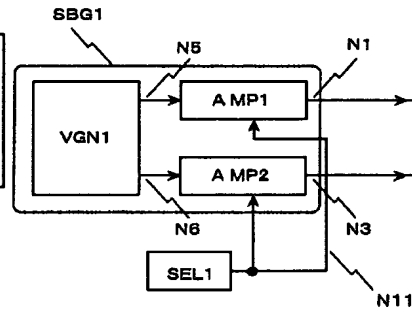
【図 55】

図 55



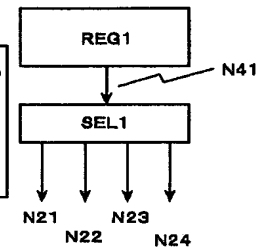
【図 56】

図 56



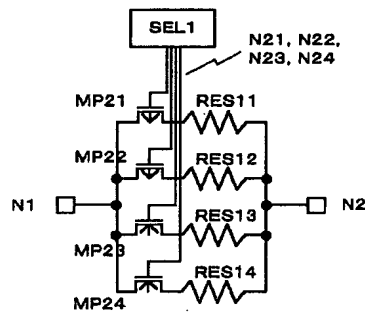
【図 65】

図 65



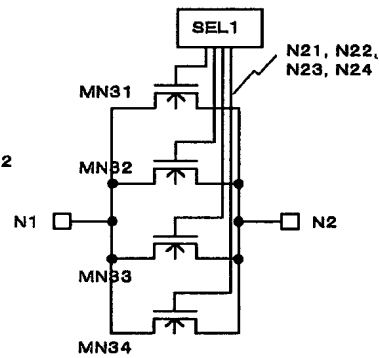
【図 58】

図 58



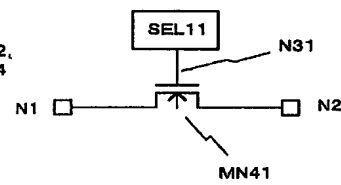
【図 59】

図 59



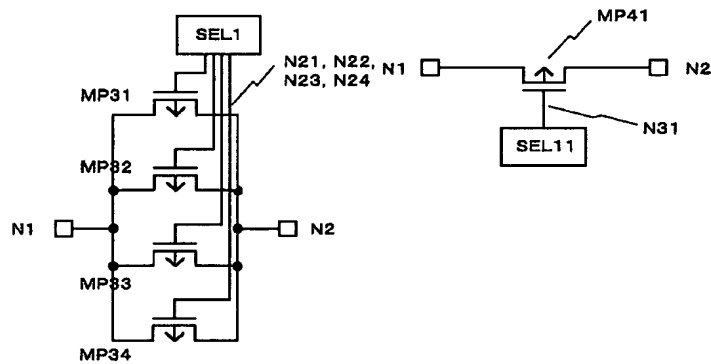
【図 60】

図 60



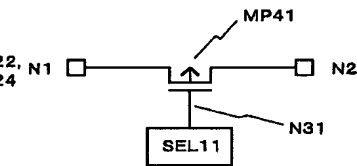
【図 61】

図 61



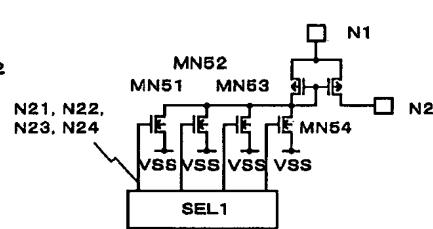
【図 62】

図 62



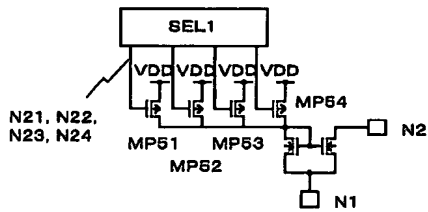
【図 63】

図 63



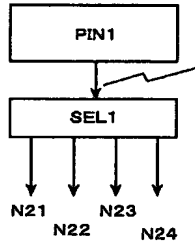
【図64】

図64



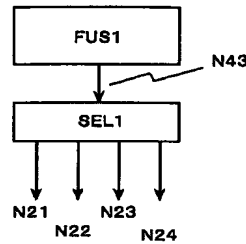
【図66】

図66



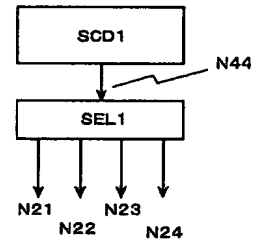
【図67】

図67



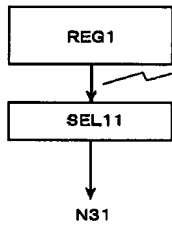
【図68】

図68



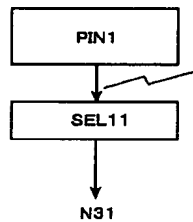
【図69】

図69



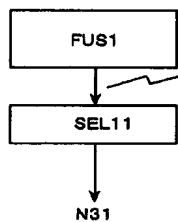
【図70】

図70



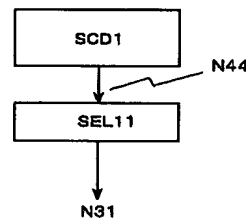
【図71】

図71



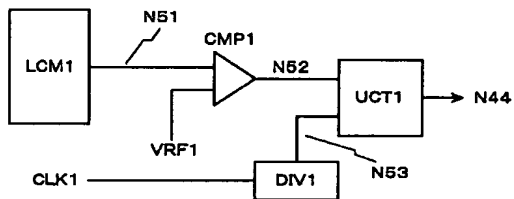
【図72】

図72



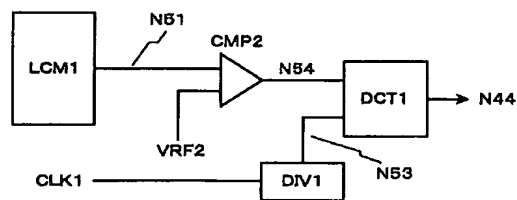
【図73】

図73



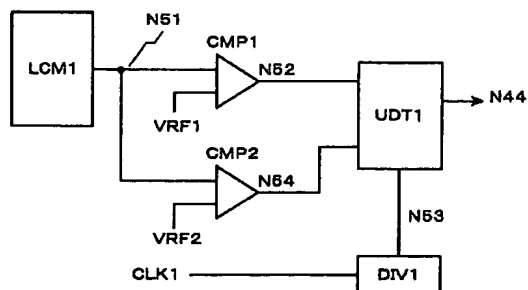
【図74】

図74



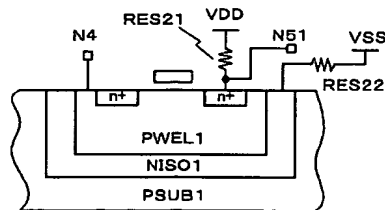
【図75】

図75



【図76】

図76



【图 7 8】

圖 77

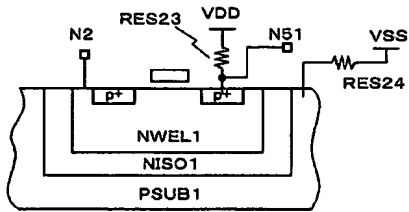
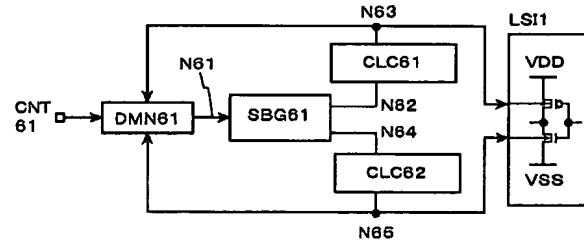


图 78



【图 7 9】

【図 80】

圖 78

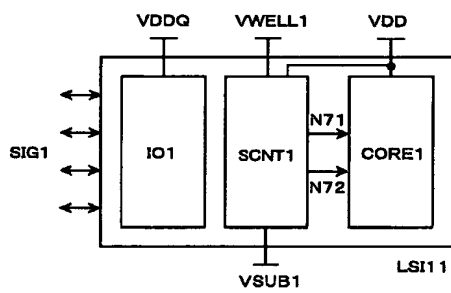
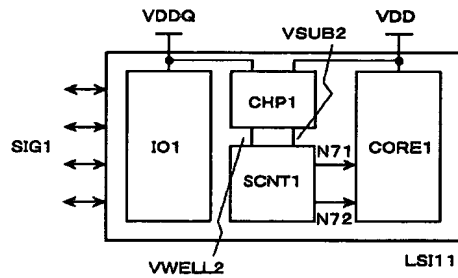


圖 80



【图 8 1】

【图 8 2】

图 81

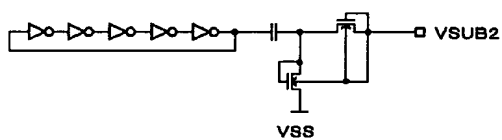
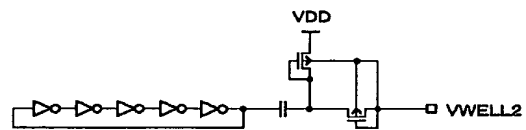


圖 82



【图 8 3】

【図 8 4】

圖 83

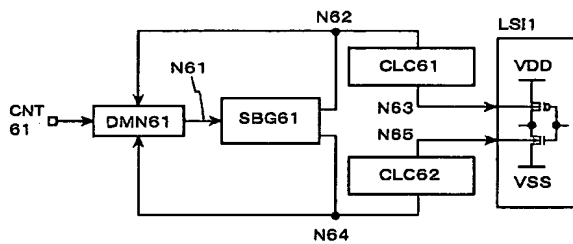
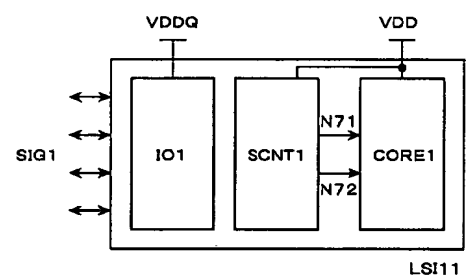
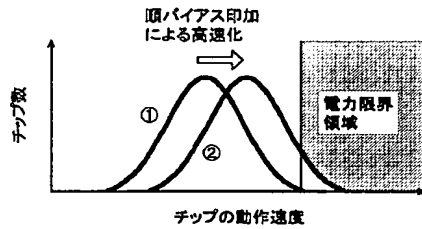


圖 84



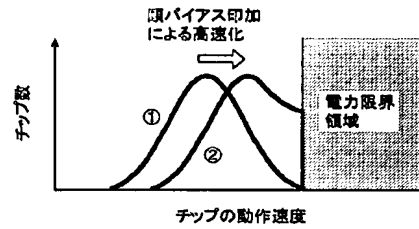
【図 85】

図 85



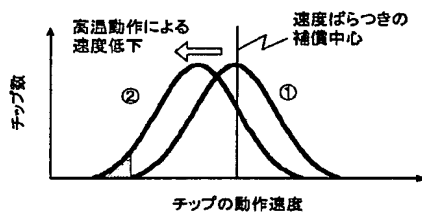
【図 86】

図 86



【図 87】

図 87



フロントページの続き

(51)Int.Cl.⁷

H 0 3 K 19/094

H 0 3 M 1/66

識別記号

F I

テーマコード* (参考)

(72)発明者 小野 稔一

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

F ターム(参考) 5F038 AV06 AV13 AV18 BB02 BB08
BG04 BG05 BG06 BG09 BH20
DF01 DF03 DF04 DF08 DT12
EZ06 EZ20
5F048 AA07 AB03 AB10 AC03 AC10
BA01 BA16 BE02 BE03 CC13
CC14
5J001 AA05 AA11 BB12 DD09
5J022 AB01 BA05 BA06 CD03 CE06
CE09 CG01
5J056 AA03 BB02 BB17 BB57 CC00
DD13 DD29 EE04 FF08 KK01
KK03